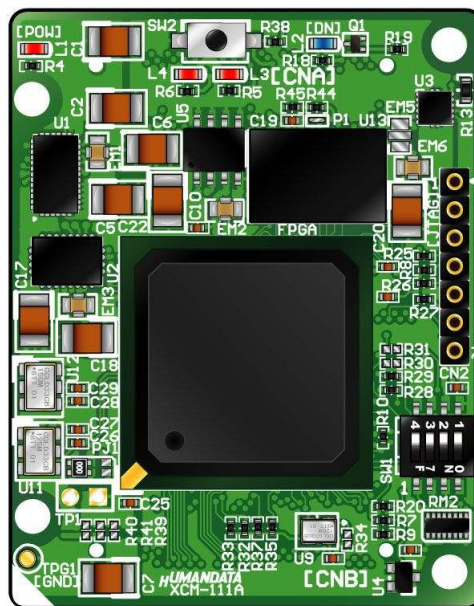


Spartan-6 LXT FPGA ボード
XCM-111 シリーズ
ユーザーズマニュアル
Ver. 1.1



ヒューマンデータ

目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	1
1. 共通ピンについて 【重要】	2
2. 開発環境.....	2
3. 製品の内容について.....	3
4. 仕様.....	3
5. 製品説明.....	4
5.1. 各部名称.....	4
5.2. ブロック図.....	5
5.3. 電源.....	5
5.4. クロック.....	6
5.5. 設定スイッチ (SW1).....	6
6. FPGA コンフィギュレーション.....	7
6.1. JTAG/バウンダリスキャン.....	8
6.2. コンフィグ ROM ファイルの作成.....	8
6.3. コンフィグ ROM アクセス.....	9
7. FPGA ピン割付け表.....	9
7.1. ユーザ I/O (CNA).....	10
7.2. ユーザ I/O (CNB).....	11
7.3. DDR2 SDRAM (U13).....	12
7.4. オンボードクロック.....	12
7.5. 外部クロック入力.....	13
7.6. 汎用 LED.....	13
7.7. 汎用スイッチ.....	13
7.8. 高速シリアルトランシーバ.....	13
7.9. 共通ピン 【重要】	13
8. サポートページ.....	14
9. 付属資料.....	14


● はじめに


この度は Spartan-6 FPGA ボード XCM-111 シリーズをお買い上げいただきまして、誠にありがとうございます。

XCM-111 は、XILINX の高性能 FPGA Spartan-6 LXT シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。高速シリアルトランシーバをコネクタに引き出していますので、Rocket I/O の評価にもご使用頂けます。

どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。

 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承願います。
13 静電気にご注意ください。	

● 改訂記録

日付	バージョン	改訂内容
2011/11/07	1.0	・初版発行
2012/05/08	1.1	・ピン割付け表追加：高速シリアルトランシーバ ・誤植修正：ユーザ I/O (CNB) #13~#16

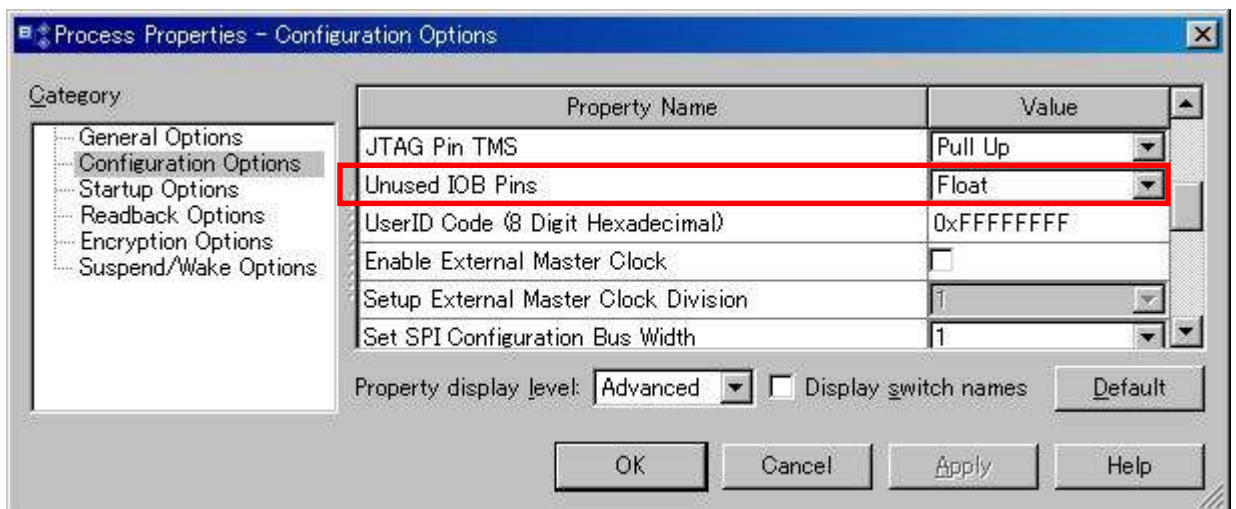
1. 共通ピンについて **【重要】**

本ボードでは、下表の Vref ピンが共通になっています。
意図しないショートを避けるため、未使用ピンの設定を【Float】としておくことを推奨します。ISE での未使用ピン処理設定の確認は下記をご参照ください。

VRFB	V09_REF
P8	F19
M8	D22
K8	R19
B1	-



1. 【Generate Programming File】を右クリックして【Process Properties】を開きます



2. 【Configuration Options】内の【Unused IOB Pins】を確認します

2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツールが必要です。
~~これらの開発ツールは、XILINX 社が無償配布する ISE がご使用頂けます。~~ 使用する際には、インターネットによるライセンス登録が必要となります。
本マニュアルは ISE Ver. 12.3 を元に作成しています。

3. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

FPGA ボード	XCM-111	1
付属品		1
マニュアル（本書）		1 *
ユーザ登録はがき		1 *

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

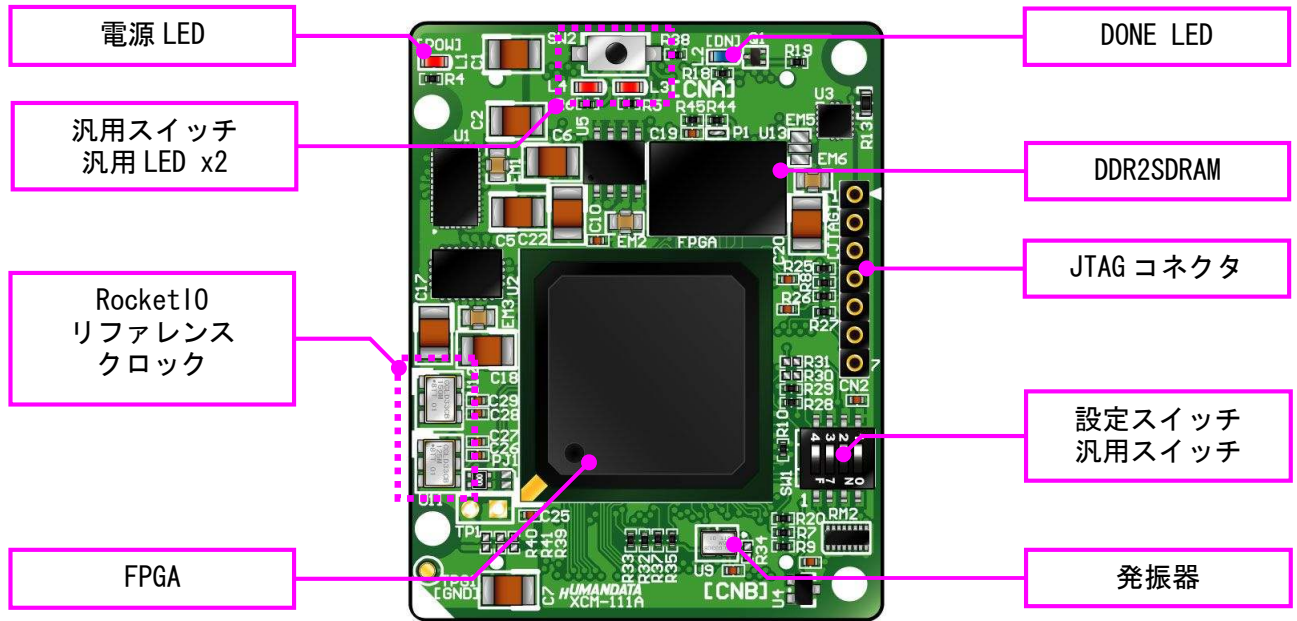
4. 仕様

製品型番	XCM-111-45T	XCM-111-75T	XCM-111-100T	XCM-111-150T
搭載 FPGA	XC6SLX45T -2FGG484C	XC6SLX75T -2FGG484C	XC6SLX100T -2FGG484C	XC6SLX150T -2FGG484C
コンフィグ ROM	M25P64-VMF6P (64Mbit)			
DDR2 SDRAM	MT47H64M16HR-3:H (Micron, 1Gbit)			
オンボードクロック	50MHz			
RocketIO 用 リファレンスクロック	125MHz 150MHz			
外部クロック入力	ユーザ I/O コネクタ (CNA-11/12, CNB-11/12)			
電源	DC 3.3[V]			
ユーザ I/O	128 本			
RocketIO (高速シリアル I/F)	Tx : 2 チャンネル Rx : 2 チャンネル			
汎用スイッチ	2 (Push x1, DIP x2)			
汎用 LED	2			
プリント基板	ガラスエポキシ 10 層基板 1.6t			
リセット信号	コンフィグ用リセット信号 (typ. 240ms)			
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ			
ステータス LED	POWER (赤), DONE (青)			
基板寸法	43 x 54 [mm]			
質量	約 20 [g]			
消費電流	FPGA 内部のデザインに依存します			
付属品	SIL7 ロングピンヘッダ (本体に取付け済み) x1			
	FX10A-80S/8-SV(71) (ヒロセ電機) x2			

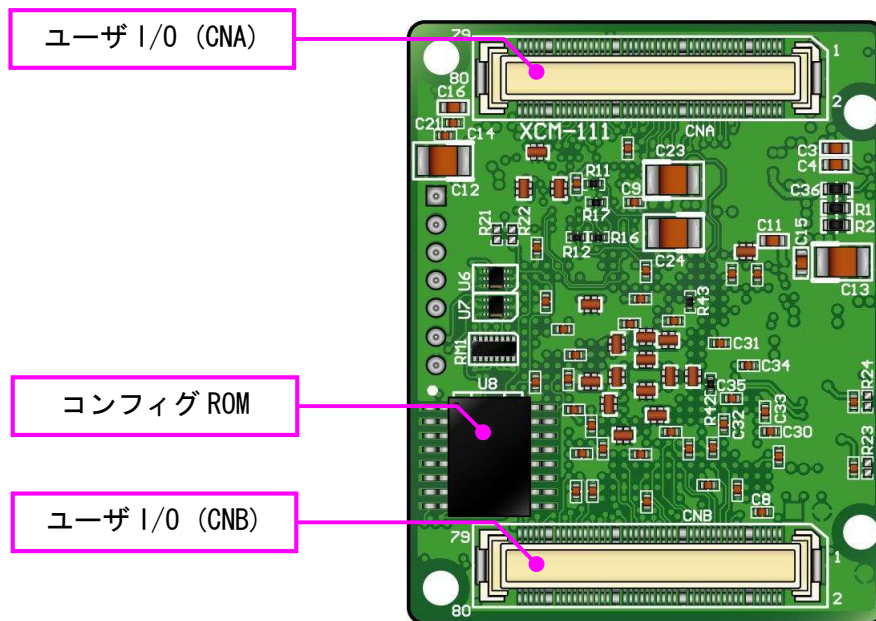
*これらの部品や仕様は変更となる場合がございます

5. 製品説明

5.1. 各部名称

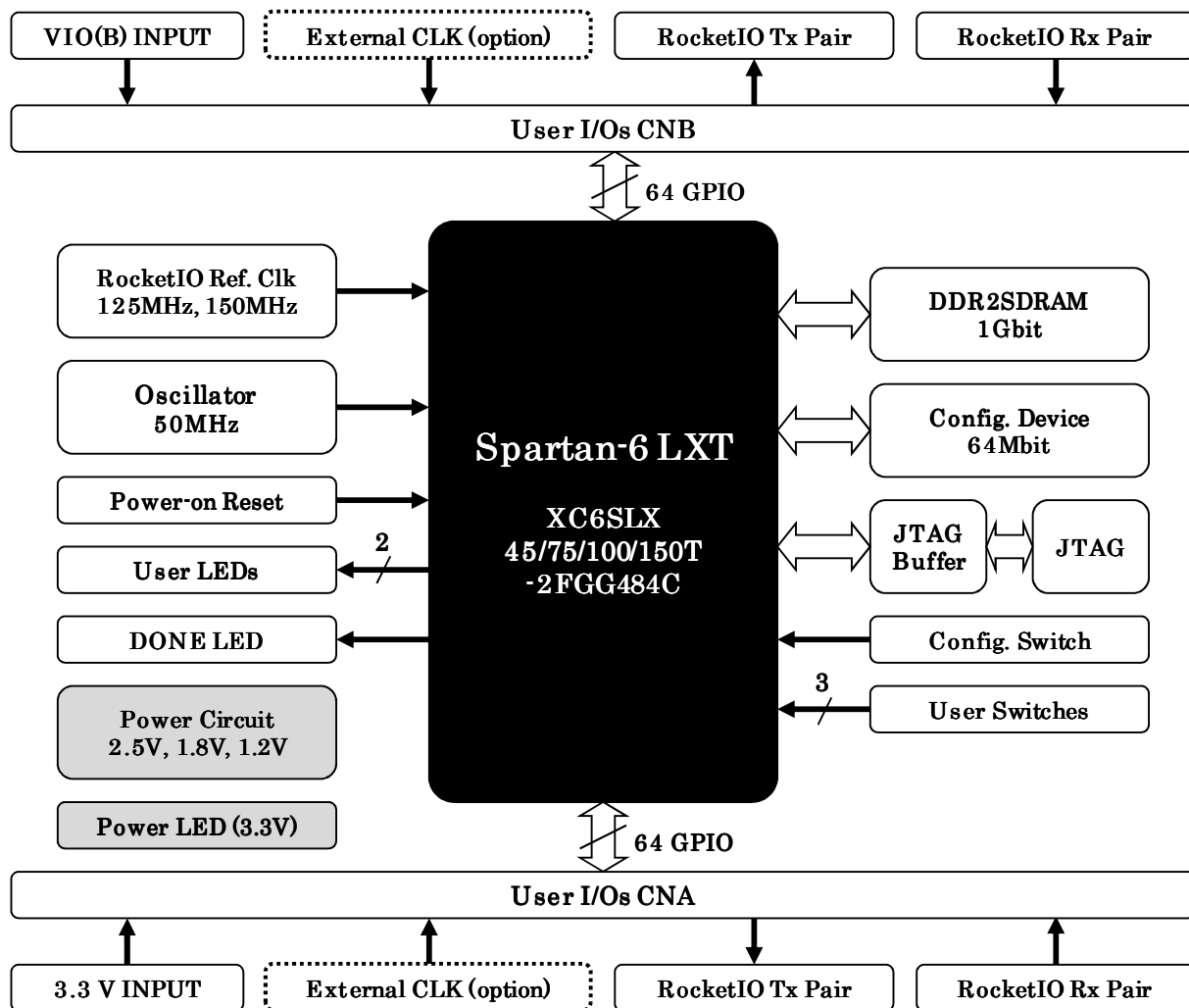


部品面



はんだ面

5.2. ブロック図



XCM-111 Rev.A

5.3. 電源

電源はCNAより3.3V (V33A) を供給してください。外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも3.3Vを超えることはできません。内部で必要になる2.5V、1.8V、1.2Vはオンボードレギュレータにより生成されます。

VIO(B)にはCNBより設計に合った値を供給してください。CNAから供給するV33Aとは接続されていません。PJ1を切り替えることによりオンボードの2.5Vを供給することが可能です。詳しくはFPGAのデータシートや回路図などを参照してください。

5.4. クロック

オンボードクロックとして 50MHz (U9) を搭載しています。CNA、CNB より外部クロックを入力することも可能です。

RocketIO (高速トランシーバ) 用リファレンスクロックには 125MHz と 150MHz を搭載しています。

5.5. 設定スイッチ (SW1)

設定スイッチによりコンフィギュレーションモードなどを変更することが可能です。各ピンの詳細については Spartan-6 コンフィギュレーションユーザガイドをご参照ください。

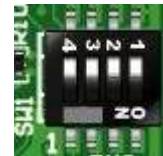
SW3

番号	4	3	2	1
記号	X_HSWAPEN	X_M1	ASW2	ASW1
出荷時	OFF	OFF	OFF	OFF
説明	プルアップ設定	コンフィグモード設定	汎用	

コンフィギュレーションモード

	X_M1
マスタシリアル/SPI	ON
JTAG	OFF

ON: Low(0), OFF: High(1)



- **X_HSWAPEN**
コンフィギュレーション前のユーザ I/O の状態を設定します。
ON : 内部プルアップ有り
OFF : 内部プルアップ無し
- **X_M1**
コンフィギュレーションモードを設定します。
本来 JTAG モードにてご使用される場合の設定値は自由ですが、上記の設定値にてご使用になることを推奨致します。
- **ASW1, ASW2**
汎用スイッチとしてご使用頂けます。

6. FPGA コンフィギュレーション

JTAG コネクタよりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、マスタシリアル/SPI モード設定時に電源投入にて自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

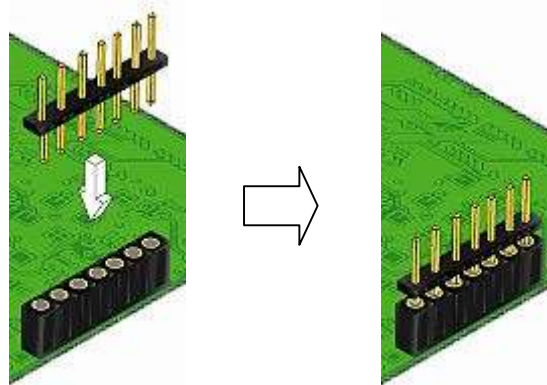
JTAG コネクタのピン配置は下表のとおりです。ケーブル接続時は誤接続に注意してください。

CN2

ピン番号	信号名	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC	OUT
6	TDI	IN
7	GND	I/O



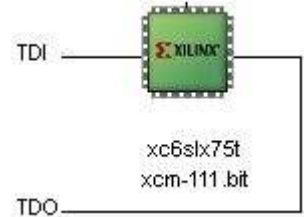
ダウンロードケーブルとの接続には付属のロングピンヘッダをご使用下さい。



6.1. JTAG/バウンダリスキャン

JTAG より FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに bit ファイルを割りつけてプログラムを実行します。

コンフィグ ROM を使用したコンフィギュレーションには下記をご参照ください。



6.2. コンフィグ ROM ファイルの作成

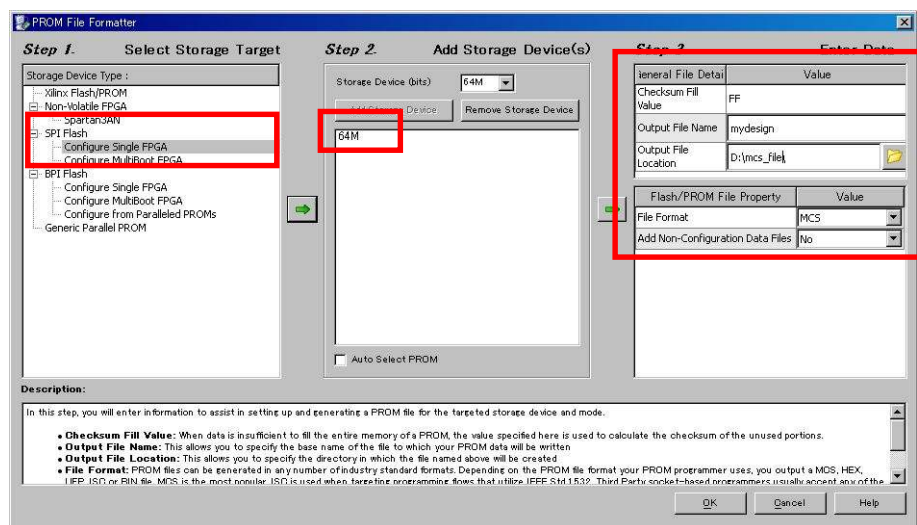
コンフィギュレーション ROM へ書き込むためには MCS ファイルが必要となります。書き込みたい bit ファイルから、iMPACT を使用して作成することができます。作成方法の一例を以下に示します。

- (1) iMPACT にて「Create PROM File」をダブルクリックします



- (2) 設定画面にて必要な項目を設定します

- Storage Target: SPI Flash – Configure Single FPGA
- Storage Device: 64M (1つ)
- File Format: MCS
- その他項目：任意

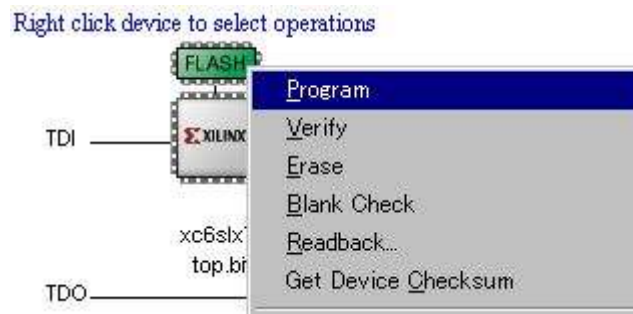


- (3) 使用する bit ファイルを選択します
- (4) iMPACT Processes のタブにある「Generate File…」をダブルクリックします
- (5) 「Generate Succeeded」と表記されれば完了です

6.3. コンフィグ ROM アクセス

バウンダリスキャン画面にて、下図のようにコンフィグ ROM に MGS ファイルを割付けます。デバイスには【SPI PROM – M25P64】を選択してください。右クリックから各コマンドを実行できます。

コンフィギュレーションモードはマスタシリアル/SPI モードに設定してください。



7. FPGA ピン割付け表

XCM-111 では、FPGA の BANK は下表のように「BANK Group」にまとめられています。Group A の Vcco は CNA より供給する V33A (3.3V) 固定です。Group B の Vcco には CNB より設計に合った値を供給できます。

配線長は Web サポートページよりピン割付け表をご参照ください。

FPGA BANK	Vcco	NET LABEL	BANK Group	メモ
0	VCCO_0	V33A	A	
1	VCCO_1	V18	-	DDR2SDRAM 用
2	VCCO_2	V33A	A	
3	VCCO_3	V10 (B)	B	PJ1 にて V25 へ切り替え可能

7.1. ユーザ I/O (CNA)

BANK Group	ネットラベル	FPGA ピン	CNA ピン#		FPGA ピン	ネットラベル	BANK Group
A	V33A	-	1	2	-	V33A	A
A	V33A	-	3	4	-	V33A	A
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N. C	9	10	N. C		
A	ECLK_AP		11	12		ECLK_AN	A
-	MGT_TXP1_101	B8	13	14	D9	MGT_RXP1_101	-
-	MGT_TXN1_101	A8	15	16	C9	MGT_RXN1_101	-
A	IOA0	A18	17	18	A2	IOA32	A
A	IOA1	B18	19	20	B2	IOA33	A
A	IOA2	A20	21	22	A3	IOA34	A
A	IOA3	B20	23	24	B3	IOA35	A
A	IOA4	A17	25	26	A4	IOA36	A
A	IOA5	C17	27	28	C4	IOA37	A
A	IOA6	A19	29	30	D4	IOA38	A
		GND	-	-	GND		
A	IOA7	C19	31	32	D5	IOA39	A
A	IOA8	C18	33	34	E6	IOA40	A
A	IOA9	D17	35	36	E5	IOA41	A
A	IOA10	F16	37	38	F8	IOA42	A
A	IOA11	E16	39	40	F7	IOA43	A
A	IOA12	F17	41	42	G8	IOA44	A
A	IOA13	G16	43	44	F9	IOA45	A
A	IOA14	G15	45	46	F10	IOA46	A
A	IOA15	H14	47	48	G9	IOA47	A
A	IOA16	Y17	49	50	H11	IOA48	A
		GND	-	-	GND		
A	IOA17	AB17	51	52	H10	IOA49	A
A	IOA18	AA18	53	54	T7	IOA50	A
A	IOA19	AB18	55	56	U6	IOA51	A
A	IOA20	AA14	57	58	Y7	IOA52	A
A	IOA21	AB14	59	60	AB7	IOA53	A
A	IOA22	AA16	61	62	U14	IOA54	A
A	IOA23	AB16	63	64	AB19	IOA55	A
A	IOA24	Y15	65	66	U12	IOA56	A
A	IOA25	AB15	67	68	W9	IOA57	A
A	IOA26	W12	69	70	Y13	IOA58	A
		GND	-	-	GND		
A	IOA27	Y12	71	72	AB13	IOA59	A
A	IOA28	Y9	73	74	AB11	IOA60	A
A	IOA29	AB9	75	76	AA10	IOA61	A
A	IOA30	AA8	77	78	U13	IOA62	A
A	IOA31	AB8	79	80	AB6	IOA63	A

7.2. ユーザ I/O (CNB)

BANK Group	ネットラベル	FPGA ピン	CNB ピン#		FPGA ピン	ネットラベル	BANK Group
	V10 (B)	-	1	2	-	V10 (B)	
	V10 (B)	-	3	4	-	V10 (B)	
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N. C	9	10	N. C		
B	CLK_EXBP		11	12		CLK_EXBN	B
-	MGT_TXPO_101	B6	13	14	D7	MGT_RXPO_101	-
-	MGT_TXNO_101	A6	15	16	C7	MGT_RXNO_101	-
B	I0B0	E4	17	18	D1	I0B32	B
B	I0B1	F3	19	20	D2	I0B33	B
B	I0B2	H3	21	22	E1	I0B34	B
B	I0B3	J4	23	24	E3	I0B35	B
B	I0B4	H5	25	26	F1	I0B36	B
B	I0B5	J6	27	28	F2	I0B37	B
B	I0B6	K5	29	30	G3	I0B38	B
		GND	-	-	GND		
B	I0B7	K6	31	32	G1	I0B39	B
B	I0B8	L4	33	34	H2	I0B40	B
B	I0B9	M3	35	36	H1	I0B41	B
B	I0B10	K3	37	38	J3	I0B42	B
B	I0B11	K4	39	40	J1	I0B43	B
B	I0B12	L6	41	42	K2	I0B44	B
B	I0B13	M6	43	44	K1	I0B45	B
B	I0B14	N4	45	46	L3	I0B46	B
B	I0B15	P3	47	48	L1	I0B47	B
B	I0B16	P5	49	50	M1	I0B48	B
		GND	-	-	GND		
B	I0B17	P4	51	52	M2	I0B49	B
B	I0B18	W4	53	54	N1	I0B50	B
B	I0B19	Y3	55	56	N3	I0B51	B
B	I0B20	T1	57	58	P1	I0B52	B
B	I0B21	T2	59	60	P2	I0B53	B
B	I0B22	U3	61	62	R1	I0B54	B
B	I0B23	U1	63	64	R3	I0B55	B
B	I0B24	V2	65	66	C1	I0B56	B
B	I0B25	V1	67	68	M7	I0B57	B
B	I0B26	W3	69	70	R7	I0B58	B
		GND	-	-	GND		
B	I0B27	W1	71	72	AB4	I0B59	B
B	I0B28	Y2	73	74	AA4	I0B60	B
B	I0B29	Y1	75	76	Y5	I0B61	B
B	I0B30	AA2	77	78	AB5	I0B62	B
B	I0B31	AA1	79	80	AA6	I0B63	B

7.3. DDR2 SDRAM (U13)

Memory Pin Name	ネットラベル	FPGA ピン
A0	DDR_A0	H21
A1	DDR_A1	H22
A2	DDR_A2	G22
A3	DDR_A3	J20
A4	DDR_A4	H20
A5	DDR_A5	M20
A6	DDR_A6	M19
A7	DDR_A7	G20
A8	DDR_A8	E20
A9	DDR_A9	E22
A10	DDR_A10	J19
A11	DDR_A11	H19
A12	DDR_A12	F22
A13/RFU	DDR_A13	G19
A14/RFU	DDR_A14	F20
A15/RFU	-	-
BA0	DDR_BA0	K17
BA1	DDR_BA1	L17
BA2/RFU	DDR_BA2	K18
DQ0	DDR_DQ0	R20
DQ1	DDR_DQ1	R22
DQ2	DDR_DQ2	P21
DQ3	DDR_DQ3	P22
DQ4	DDR_DQ4	L20
DQ5	DDR_DQ5	L22
DQ6	DDR_DQ6	M21
DQ7	DDR_DQ7	M22
DQ8	DDR_DQ8	T21

Memory Pin Name	ネットラベル	FPGA ピン
DQ9	DDR_DQ9	T22
DQ10	DDR_DQ10	U20
DQ11	DDR_DQ11	U22
DQ12	DDR_DQ12	W20
DQ13	DDR_DQ13	W22
DQ14	DDR_DQ14	Y21
DQ15	DDR_DQ15	Y22
LDQS	DDR_LDQS_P	N20
LDQS#	DDR_LDQS_N	N22
UDQS	DDR_UDQS_P	V21
UDQS#	DDR_UDQS_N	V22
LDM	DDR_LDM	N19
UDM	DDR_UDM	P20
RAS#	DDR_RAS	K21
CAS#	DDR_CAS	K22
WE#	DDR_WE	K19
CK	DDR_CK_P	K20
CK#	DDR_CK_N	L19
CKE	DDR_CKE	F21
ODT	DDR_ODT	J22
-	DDR_RZQ	F18
-	DDR_ZI0	P19

7.4. オンボードクロック

周波数	ネットラベル	FPGA ピン
50MHz	GCLK50_A	Y11
	GCLK50_B	H12
	GCLK50_C	T12
	GCLK50_D	F14

7.5. 外部クロック入力

コネクタ	ネットラベル	FPGA ピン	BANK Group
CNA_11	ECLK_AP	AA12	A
CNA_12	ECLK_AN	AB12	A
CNB_11	ECLK_BP	M5	B
CNB_12	ECLK_BN	M4	B

7.6. 汎用 LED

LED	ネットラベル	FPGA ピン
L3	ULED3	D3
L4	ULED4	A5

7.7. 汎用スイッチ

SW	ネットラベル	FPGA ピン
SW2	PSW2	G13
SW1 [1]	ASW1	Y8
SW1 [2]	ASW2	AB10

7.8. 高速シリアルトランシーバ

FPGA 機能ピン	ネットラベル	FPGA ピン	備考
MGTTXP1_101	MGT_TXP1_101	B8	CNA [13]
MGTTXN1_101	MGT_TXN1_101	A8	CNA [15]
MGTRXP1_101	MGT_RXP1_101	D9	CNA [14]
MGTRXN1_101	MGT_RXN1_101	C9	CNA [16]
MGTTXPO_101	MGT_TXPO_101	B6	CNB [13]
MGTTXNO_101	MGT_TXNO_101	A6	CNB [15]
MGTRXPO_101	MGT_RXPO_101	D7	CNB [14]
MGTRXNO_101	MGT_RXNO_101	C7	CNB [16]
MGTREFCLKOP_101	CLKP_101	A10	125MHz
MGTREFCLKON_101	CLKN_101	B10	125MHz
MGTREFCLK1P_101	CLKP_123	C11	150MHz
MGTREFCLK1N_101	CLKN_123	D11	150MHz

7.9. 共通ピン **【重要】**

下記の汎用ポートは、VREF 機能を兼ねているため共通となっています。出力ポートとして使用しないようにご注意ください。詳しくは1章をご参照ください。

VRFB	V09_REF
P8	F19
M8	D22
K8	R19
B1	-

Spartan-6 LXT FPGA ボード
XCM-111 シリーズ
ユーザーズマニュアル

2011/11/07 Ver.1.0 (初版)
2012/05/08 Ver.1.1

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
