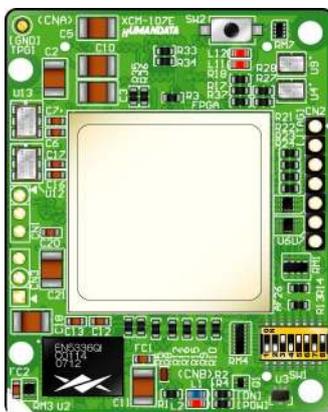


**Virtex-5 ブレッドボード  
(ハーフカードサイズ)**



**XCM-107 シリーズ  
ユーザズマニュアル  
Ver. 2.0**



**ヒューマンデータ**



## 目次

● はじめに .....	3
● ご注意 .....	3
● 改訂記録 .....	4
1. 製品の内容について .....	4
2. 仕様 .....	4
3. 製品説明 .....	5
3.1. 各部名称 .....	5
3.2. ブロック図 .....	6
3.3. 電源 .....	6
3.4. クロック .....	6
3.5. JTAG コネクタ .....	7
3.6. 設定スイッチ .....	7
4. 開発環境 .....	8
5. コンフィギュレーション .....	8
5.1. JTAG コンフィギュレーション .....	8
5.2. PROM ファイルの作成 .....	9
5.3. SPI-PROM へ書込み .....	10
5.4. SPI-PROM から FPGA へコンフィギュレーション .....	11
5.5. コンフィギュレーションレートの設定 .....	11
6. FPGA ピン割付け表 .....	12
6.1. ユーザ I/O (CNA) .....	12
6.2. ユーザ I/O (CNB) .....	13
6.3. クロック .....	14
6.4. 外部入力クロック .....	14
6.5. 差動クロック .....	14
6.6. 汎用スイッチ .....	14
6.7. 汎用 LED .....	14
7. サポートページ .....	15
8. 付属資料 .....	15

## ● はじめに

この度はVirtex-5 ブレッドボード XCM-107 をお買い上げいただきまして、誠にありがとうございます。

XCM-107 は、XILINX の高性能 FPGA Virtex-5LXT を用いた評価用ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

## ● ご注意

 <b>禁止</b>	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。

 <b>注意</b>	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
13 静電気にご注意ください。	

## ● 改訂記録

日付	バージョン	改訂内容
2009/12/17	1.0	・ 初版発行
2010/02/01	2.0	・ 製品リビジョンの更新 ・ 全体の構成を見直し

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

FPGA ブレッドボード	XCM-107	1	
付属品		1	
マニュアル（本書）		1	*
ユーザ登録はがき		1	*

\* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

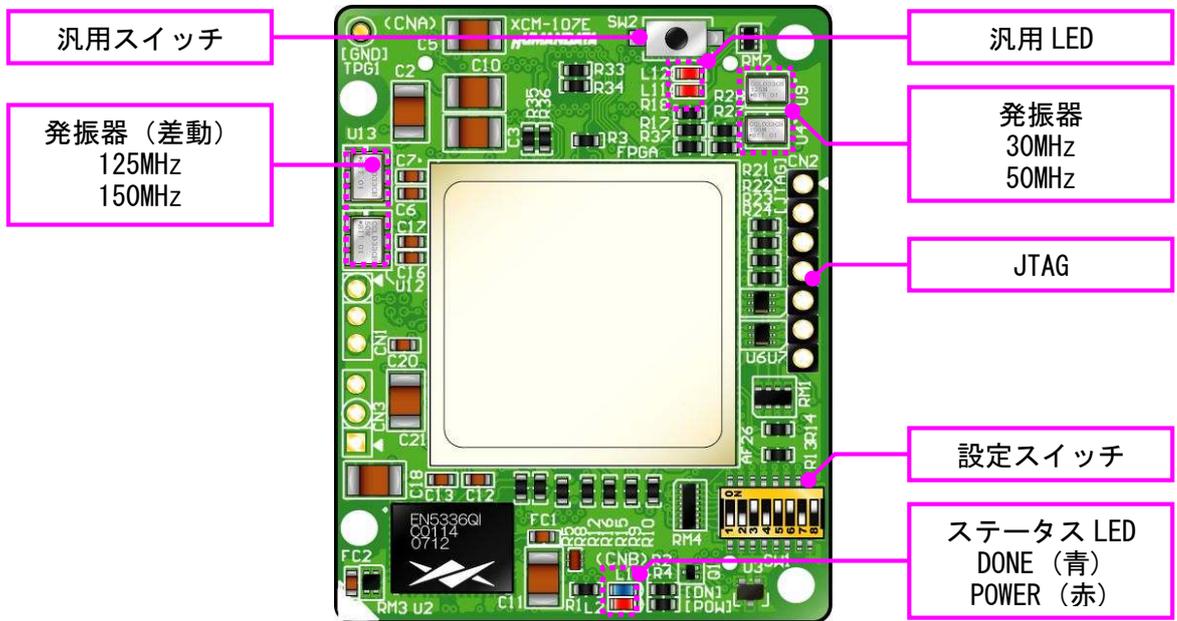
## 2. 仕様

製品型番	XCM-107-30T	XCM-107-50T
搭載 FPGA	XC5VLX30T-1FFG665C	XC5VLX50T-1FFG665C
電源	DC 3.3[V]	
コンフィグ ROM	M25P16-VMF6P (STMicro, 16Mbit) *	
消費電流	N/A（詳細は FPGA データシートをご参照ください）	
外形寸法	43 x 54 [mm]	
質量	約 25 [g]	
ユーザー I/O	128 本	
汎用スイッチ	1	
汎用 LED	2	
I/O コネクタ	FX10A-80P/8-SV1 (71)（ヒロセ電機） *	
プリント基板	ガラスエポキシ 8 層基板 1.6t	
クロック	50MHz, 30MHz（外部供給可能） *	
差動クロック（RocketIO 用）	125MHz, 150MHz *	
コンフィグ用リセット回路	内蔵 (240ms typ.) *	
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ *	
ステータス LED	2 個： POWER（赤）， DONE（青） *	
付属品	SIL7 ピンヘッダ（本体に取付け済み） x1 *	
	FX10A-80S/8-SV (71)（ヒロセ電機） x2 *	

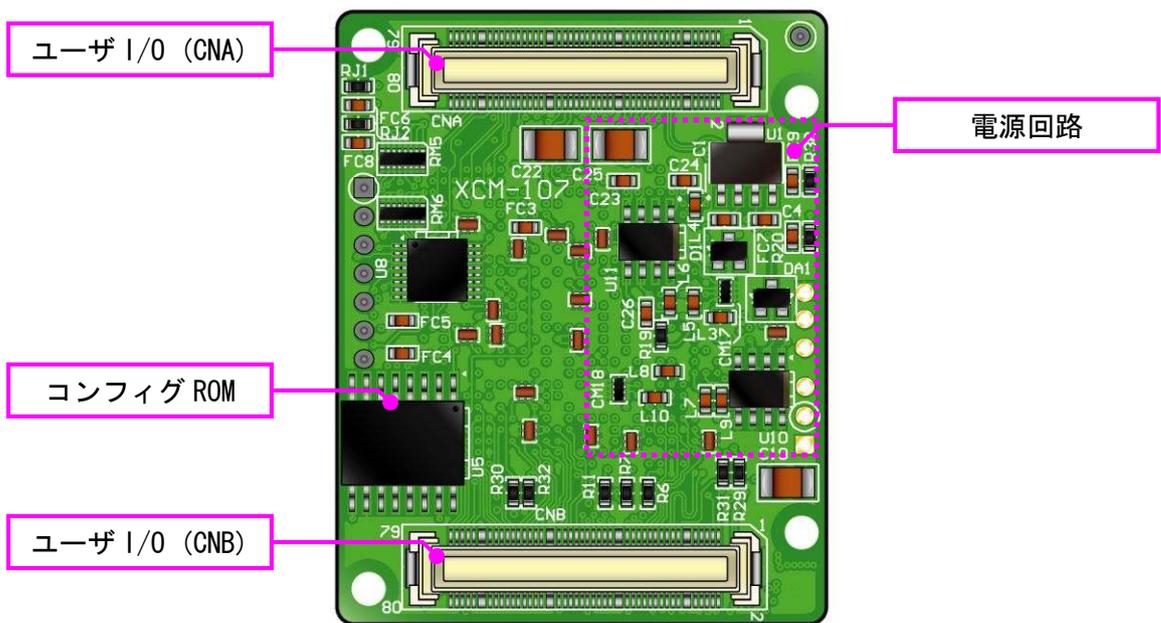
\* 互換品と変更になる場合がございます

### 3. 製品説明

#### 3.1. 各部名称

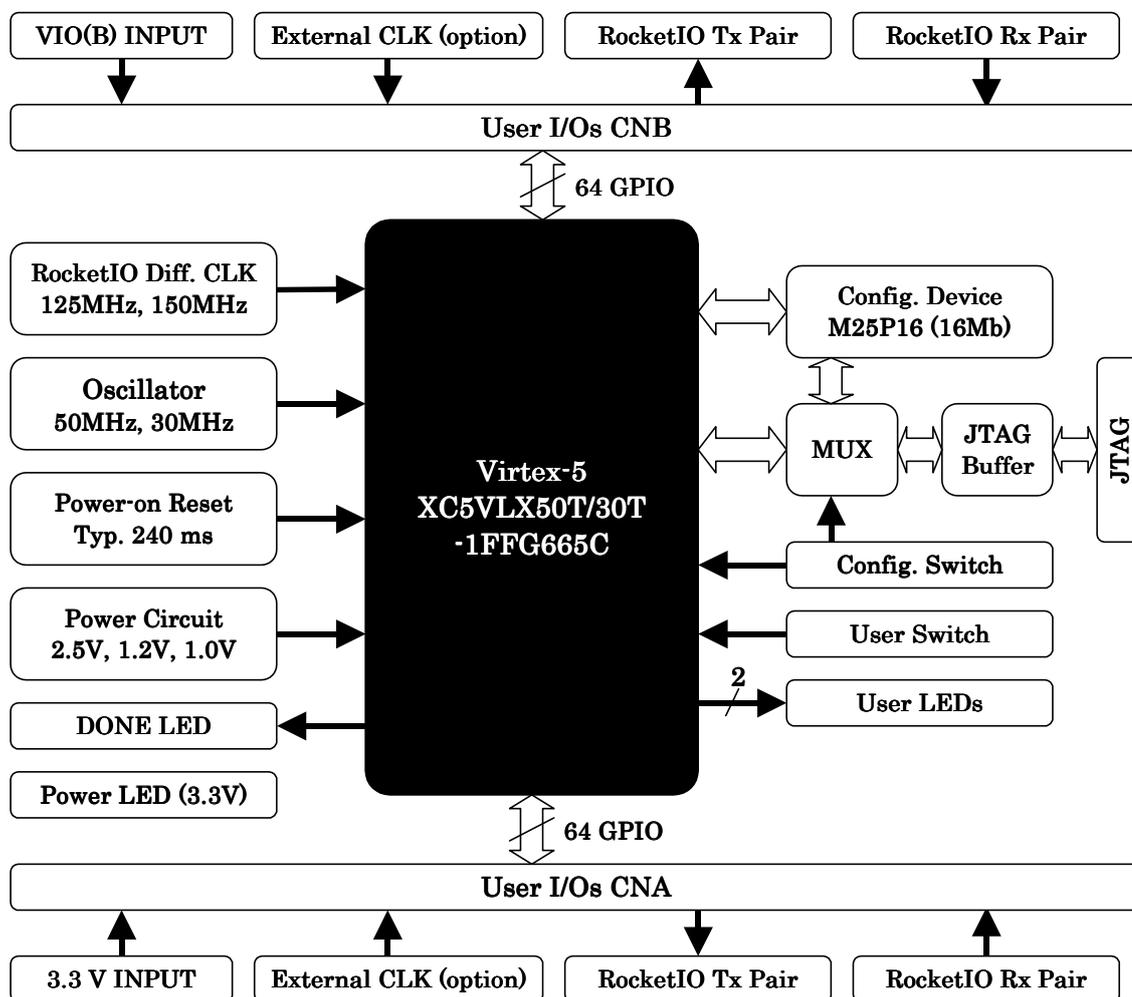


部品面



はんだ面

### 3.2. ブロック図



### 3.3. 電源

電源はCNA, CNBより3.3Vを供給してください。内部で必要になる2.5V、1.2V、1.0Vはオンボードレギュレータにより生成されます。

外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも3.3Vを超えることはできません。

詳しくはFPGAのデータシートや回路図などを参照してください。

### 3.4. クロック

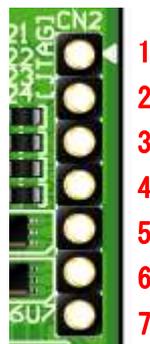
オンボードクロックとして30MHzと50MHzを搭載しています。RocketIO用差動クロックとして125MHzと150MHzを搭載しています。CNA、CNBより外部クロックを入力することが可能です。

### 3.5. JTAG コネクタ

FPGA へのコンフィギュレーション、及び内部マスタ SPI Flash モード時に使用します。ピン配置は次表のとおりです。弊社製ダウンロードケーブル XC3 や XILINX 社の純正ケーブルをお使い頂けます。ケーブル接続時は誤接続に注意してください。

CN2

信号名	方向	ピン番号
GND	I/O	1
TCK	IN	2
TDO	OUT	3
TMS	IN	4
VCC(3.3V)	OUT	5
TDI	IN	6
GND	I/O	7



### 3.6. 設定スイッチ

SW1 により JTAG の動作モードなどを変更することができます。各ピンの詳細については Virtex-5 ユーザガイドをご参照ください。

SW1

番号	1	2	3	4	5	6	7	8
記号	X_PROG	X_M0	X_M1	X_M2	HSWAP_EN	FS2	FS1	FS0
出荷時	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
説明	ターゲット選択	動作モード設定			I/O コントロール	SPI モード設定		

	マスタ SPI	スレーブシリアル	JTAG
X_M[ 0..2]の設定値	1 : 0 : 0	1 : 1 : 1	1 : 0 : 1

ON : LOW (0)
OFF : HIGH (1)

- **X\_PROG**  
JTAG でのアクセス対象を選択します。  
ON : コンフィギュレーション ROM  
OFF : FPGA
- **M0, M1, M2**  
動作モードを設定します。上表に示したモードは一部のものです。
- **HSWAP\_EN**  
コンフィギュレーション中の I/O の状態をコントロールします。  
ON : プルアップ  
OFF : トライステート
- **FS0, FS1, FS2**  
SPI モード変数設定ピンです。  
詳細はデバイスのデータシートをご覧ください。

## 4. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツールが必要です。これらの開発ツールは、XILINX 社が無償配布する ISE にて可能です。使用する際には、インターネットによるライセンス登録が必要となります。

製品開発時の ISE 環境は Ver. 10.1.03 です。

## 5. コンフィギュレーション

### 5.1. JTAG コンフィギュレーション

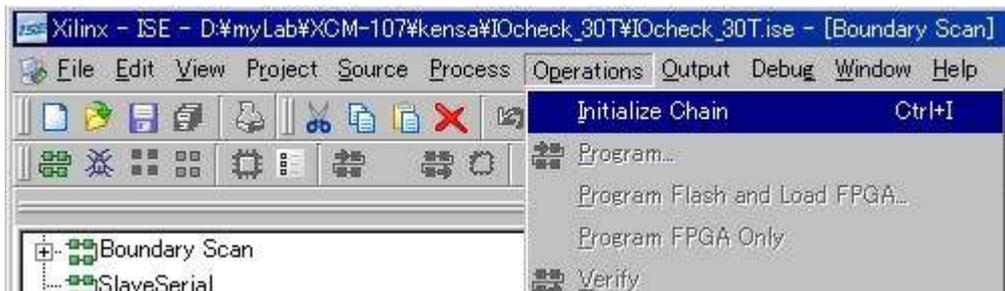
FPGA へのコンフィギュレーションは iMPACT により行います。下記の手順を参考にしてください。SW1 は下記のように設定してください。

SW1

	1	2	3	4	5	6	7	8
ON			■		X	X	X	X
OFF	■	■		■	X	X	X	X

X : Don't Care

1. iMPACT を起動し、[Operations]-[Initialize Chain] を実行すると FPGA が認識されます。
2. 使用する bit ファイルを割り当てます。



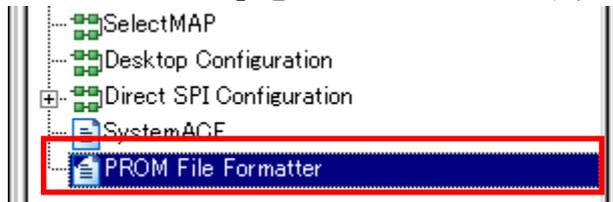
3. デバイスのアイコンを選択し、[Operations]-[Program... ] を実行します。
4. [Program Succeeded] と表示されると完了です。



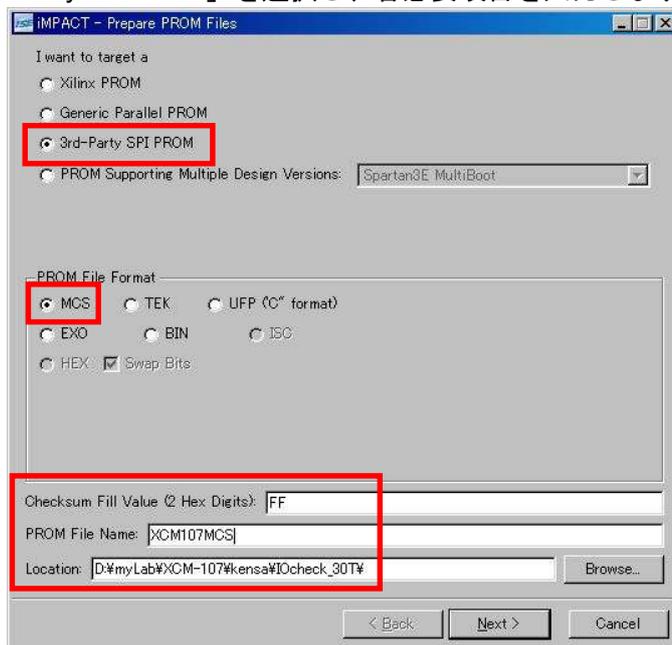
## 5.2. PROM ファイルの作成

コンフィギュレーション ROM へ書き込むためのファイル(MCS)の作成方法を以下に示します。

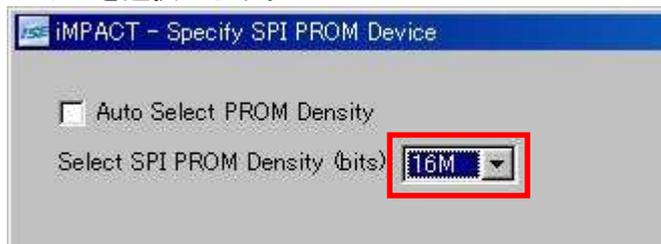
1. iMPACTにて「PROM File Formatter」をダブルクリックします。



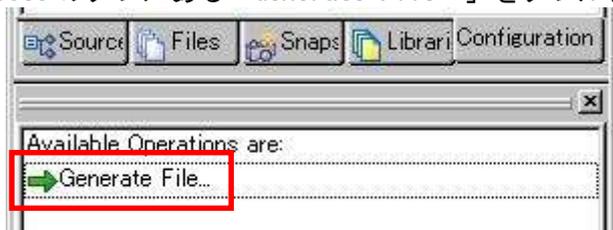
2. Targetに「3rd-Party SPI PROM」を選択し、各必要項目を入力します。



3. 「Select SPI PROM Density (bits)」へ「16M」を選択し、Next をクリックします。
4. 使用する bit ファイルを選択します。



5. iMPACT Processes のタブにある「Generate File...」をダブルクリックします。



6. 「PROM File Generation Succeeded」と表記されれば完了です。

### 5.3. SPI-PROM へ書込み

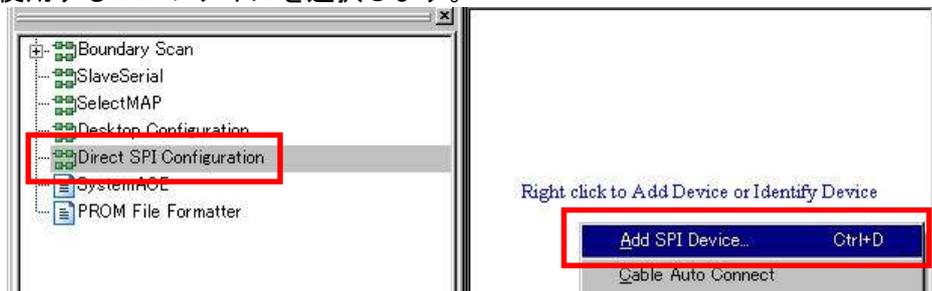
コンフィギュレーション ROM に書き込みする際、コンフィギュレーションモードをマスタ SPI に設定する必要があります。下記のように設定し iMPACT から書き込みを行ってください。

SW1

	1	2	3	4	5	6	7	8
ON	■		■	■	X	X	X	X
OFF		■			X	X	X	X

X : Don't Care

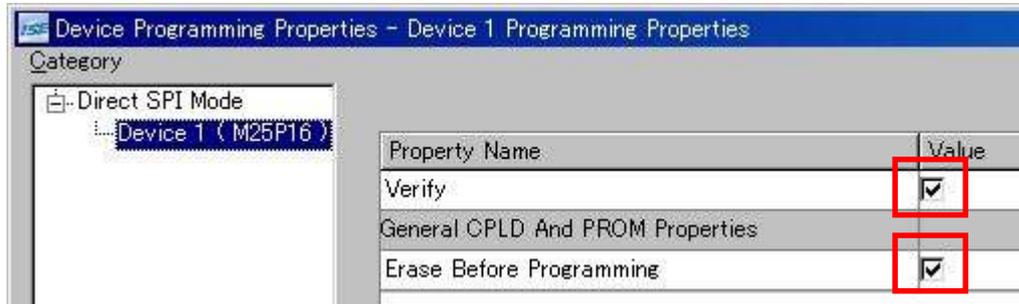
1. iMPACT のメニューから [Direct SPI Configuration] をダブルクリックします。
2. 右クリックから [Add SPI Device...] を選択します。
3. 使用する MCS ファイルを選択します。



4. デバイスの種類として [M25P16] を選択します。



5. [Verify] と [Erase Before Programming] にチェックを入れ [OK] をクリックします。



6. デバイスアイコンを選択し [Operations]-[Program...] をクリックします。
7. [Program Succeeded] と表示されると完了です。

## 5.4. SPI-PROM から FPGA へコンフィギュレーション

コンフィギュレーション ROM から FPGA にコンフィギュレーションする場合は、設定スイッチを下記のように設定してください。電源の再投入により、自動で的にコンフィギュレーションされます。

SW1

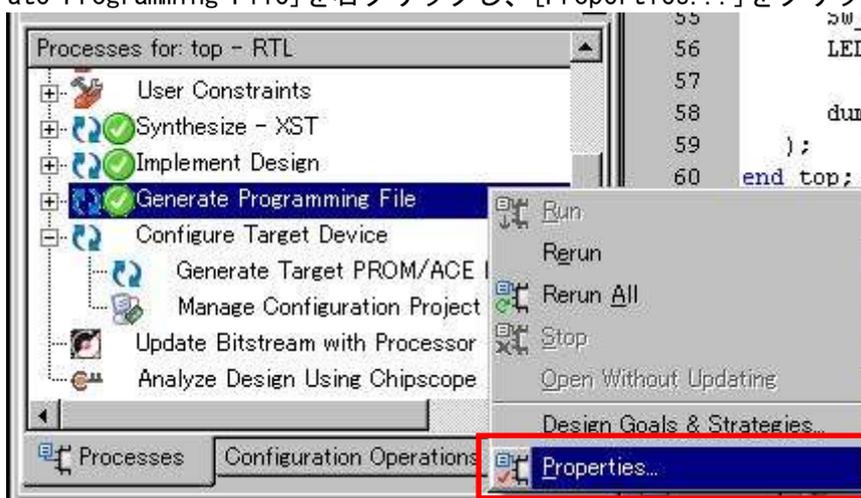
	1	2	3	4	5	6	7	8
ON			■	■	X	X	X	X
OFF	■	■			X	X	X	X

X : Don't Care

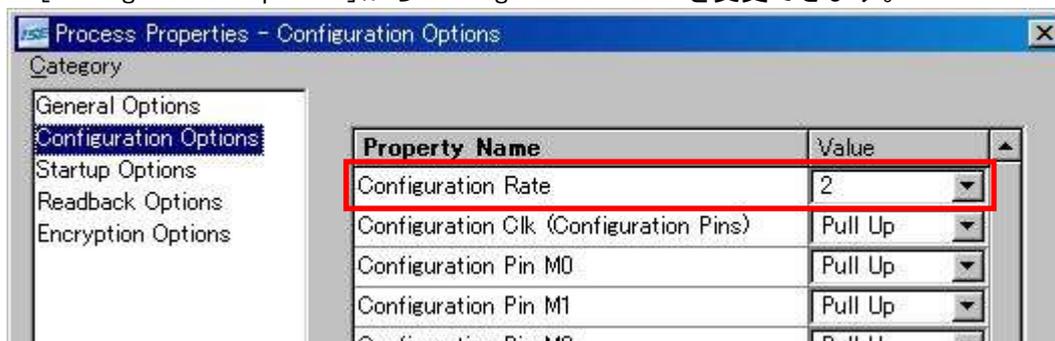
## 5.5. コンフィギュレーションレートの設定

コンフィギュレーションレートを設定することにより ROM から FPGA へのコンフィギュレーションスピードを調節することが出来ます。

1. [Generate Programming File]を右クリックし、[Properties...]をクリックします。



2. [Configuration Options]から Configuration Rate を変更できます。



## 6. FPGA ピン割付け表

### 6.1. ユーザ I/O (CNA)

BANK	NET LABEL	FPGA ピン	CNA ピン		FPGA ピン	NET LABEL	BANK
A		3.3V	1	2	3.3V		A
A		3.3V	3	4	3.3V		A
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
	CLK1P	E20	11	12	D18	CLK1N	
		E17			E18		
					E21		
					F20		
	DFA_TXP	P2	13	14	R1	DFA_RXP	
	DFA_TXN	R2	15	16	T1	DFA_RXN	
A	IOA0	B4	17	18	E5	IOA32	A
A	IOA1	B5	19	20	D5	IOA33	A
A	IOA2	B7	21	22	D6	IOA34	A
A	IOA3	A7	23	24	E6	IOA35	A
A	IOA4	B9	25	26	C6	IOA36	A
A	IOA5	C8	27	28	C7	IOA37	A
A	IOA6	B10	29	30	D8	IOA38	A
		GND	-	-	GND		
A	IOA7	A10	31	32	C9	IOA39	A
A	IOA8	B11	33	34	D11	IOA40	A
A	IOA9	A12	35	36	C11	IOA41	A
A	IOA10	A13	37	38	B12	IOA42	A
A	IOA11	B14	39	40	C12	IOA43	A
A	IOA12	A14	41	42	C13	IOA44	A
A	IOA13	A15	43	44	C14	IOA45	A
A	IOA14	A17	45	46	B15	IOA46	A
A	IOA15	B17	47	48	C16	IOA47	A
A	IOA16	A18	49	50	D19	IOA48	A
		GND	-	-	GND		
A	IOA17	A19	51	52	C19	IOA49	A
A	IOA18	A20	53	54	C18	IOA50	A
A	IOA19	B20	55	56	B19	IOA51	A
A	IOA20	B22	57	58	D20	IOA52	A
A	IOA21	A22	59	60	D21	IOA53	A
A	IOA22	E26	61	62	B21	IOA54	A
A	IOA23	E25	63	64	C21	IOA55	A
A	IOA24	D25	65	66	C23	IOA56	A
A	IOA25	D26	67	68	D24	IOA57	A
A	IOA26	A23	69	70	F25	IOA58	A
		GND	-	-	GND		
A	IOA27	B24	71	72	G26	IOA59	A
A	IOA28	B25	73	74	G24	IOA60	A
A	IOA29	A25	75	76	F24	IOA61	A
A	IOA30	C26	77	78	H26	IOA62	A
A	IOA31	B26	79	80	G25	IOA63	A

## 6.2. ユーザ I/O (CNB)

BANK	NET LABEL	FPGA ピン	CNB ピン		FPGA ピン	NET LABEL	BANK
B		3.3V	1	2	3.3V		B
B		3.3V	3	4	3.3V		B
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N. C	9	10	N. C		
		GND	-	-	GND		
	CLK2P	Y21	11	12	AA20	CLK2N	
					AB21		
					AB15		
		AC17			AB16		
	DFB_TXP	W2	13	14	V1	DFB_RXP	
	DFB_TXN	V2	15	16	U1	DFB_RXN	
B	IOB0	AB5	17	18	AF3	IOB32	B
B	IOB1	AA5	19	20	AF4	IOB33	B
B	IOB2	AB7	21	22	AF5	IOB34	B
B	IOB3	AB6	23	24	AE5	IOB35	B
B	IOB4	AD6	25	26	AF7	IOB36	B
B	IOB5	AC7	27	28	AF8	IOB37	B
B	IOB6	AD8	29	30	AF9	IOB38	B
		GND	-	-	GND		
B	IOB7	AC8	31	32	AF10	IOB39	B
B	IOB8	AD9	33	34	AF13	IOB40	B
B	IOB9	AC9	35	36	AE13	IOB41	B
B	IOB10	AE11	37	38	AF14	IOB42	B
B	IOB11	AD11	39	40	AF15	IOB43	B
B	IOB12	AD13	41	42	P26	IOB44	B
B	IOB13	AD14	43	44	R26	IOB45	B
B	IOB14	AD15	45	46	T25	IOB46	B
B	IOB15	AE15	47	48	U25	IOB47	B
B	IOB16	AD16	49	50	W25	IOB48	B
		GND	-	-	GND		
B	IOB17	AE16	51	52	W26	IOB49	B
B	IOB18	AD18	53	54	AE21	IOB50	B
B	IOB19	AE18	55	56	AF22	IOB51	B
B	IOB20	AD19	57	58	AD24	IOB52	B
B	IOB21	AD20	59	60	AD25	IOB53	B
B	IOB22	AD21	61	62	AD26	IOB54	B
B	IOB23	AC21	63	64	AC26	IOB55	B
B	IOB24	AB22	65	66	AB26	IOB56	B
B	IOB25	AC22	67	68	AA25	IOB57	B
B	IOB26	AC23	69	70	AE25	IOB58	B
		GND	-	-	GND		
B	IOB27	AC24	71	72	AE26	IOB59	B
B	IOB28	AD23	73	74	AF24	IOB60	B
B	IOB29	AE22	75	76	AF25	IOB61	B
B	IOB30	AF20	77	78	Y22	IOB62	B
B	IOB31	AE20	79	80	AA22	IOB63	B

### 6.3. クロック

周波数	NET LABEL	FPGA ピン
30MHz	GCLK_1	F12
	GCLK_2	AC12
50MHz	GCLK_A	D15
	GCLK_B	D16
	GCLK_C	AC11

### 6.4. 外部入力クロック

NET LABEL	コネクタピン	FPGA ピン
CLK1P	CNA-11	E17
		E20
CLK1N	CNA-12	D18
		E18
		E21
		F20
CLK2P	CNB-11	Y21
		AC17
CLK2N	CNB-12	AA20
		AB21
		AB15
		AB16

### 6.5. 差動クロック

周波数	NET LABEL	FPGA ピン
125MHz	MGT_CLKP_114	T4
	MGT_CLKN_114	T3
150MHz	MGT_CLKP_112	K4
	MGT_CLKN_112	K3

### 6.6. 汎用スイッチ

リファレンス	NET LABEL	FPGA ピン
SW2	PSW2	G15

### 6.7. 汎用LED

リファレンス	NET LABEL	FPGA ピン
L11	ULED11	G16
L12	ULED12	H13

## 7. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/xcm-107/index.html>

- 回路図
  - ピンリスト
  - 外形図
  - パターン図
  - ネットリスト
- ... 等

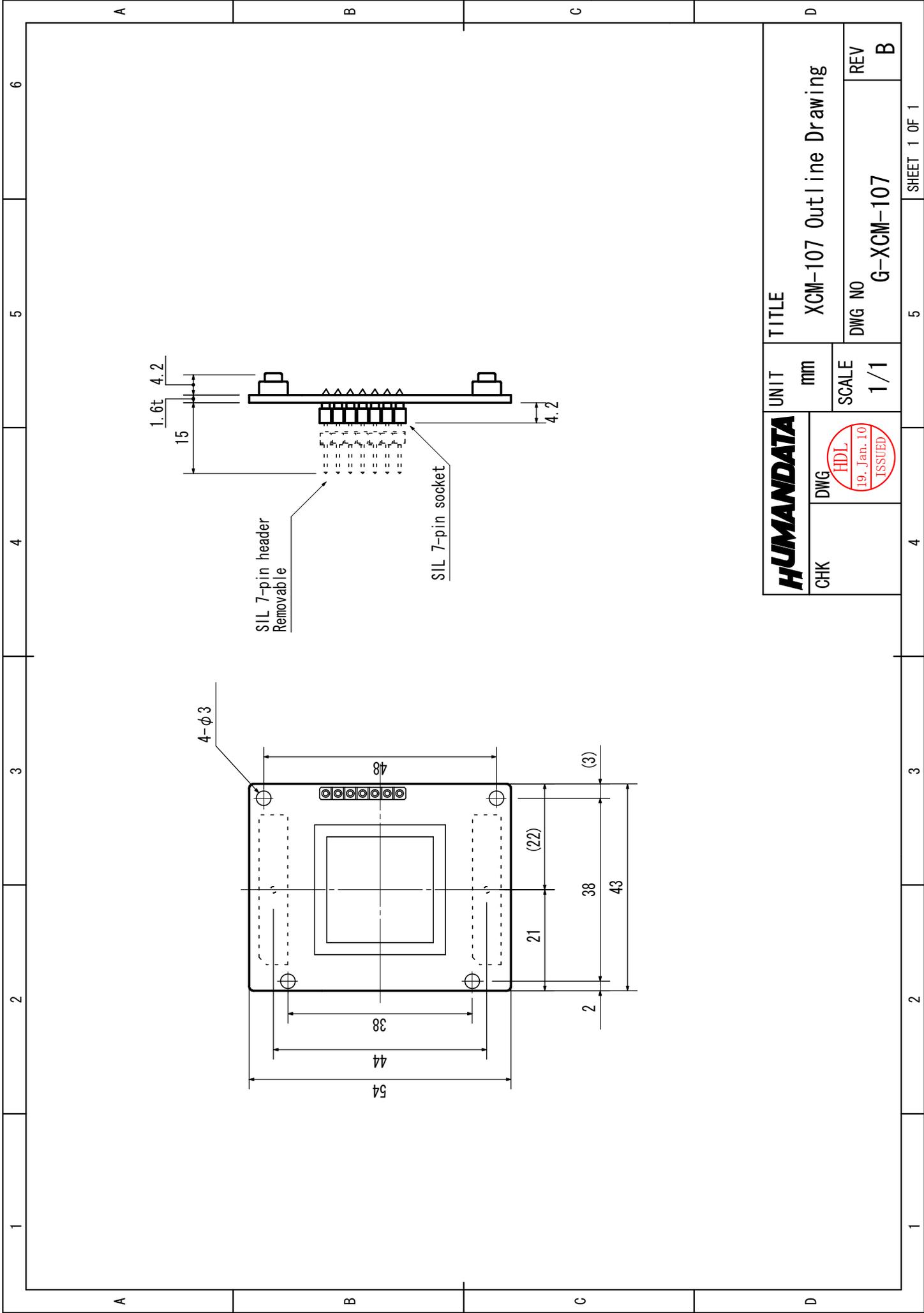
また下記サポートページも合わせてご活用ください。

[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

## 8. 付属資料

1. 基板外形図
2. 基板回路図（別紙）





CHK	DWG		UNIT	TITLE
			mm	XCM-107 Outline Drawing
			SCALE	DWG NO
			1/1	G-XCM-107
			REV	B

---

Virtex-5 ブレッドボード  
(ハーフカードサイズ)  
XCM-107  
ユーザーズマニュアル

---

2009/12/17 Ver.1.0 (初版)  
2010/02/01 Ver.2.0

---

有限会社ヒューマンデータ

〒567-0034  
大阪府茨木市中穂積1-2-10  
ジブラルタ生命茨木ビル  
TEL : 072-620-2002  
FAX : 072-620-2003  
URL : <http://www.hdl.co.jp/>

---