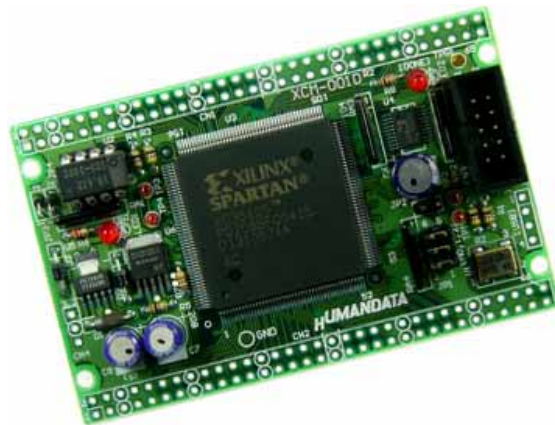


スパルタン ブレッドボード
XCM-001-200/400
ユーザズマニュアル
第5版 (R3)



ヒューマンデータ

目次

はじめに	1
ご注意	1
1. 製品の内容について	2
2. 仕様	2
3. 各部の名称	3
3.1. 電源入力	4
3.2. JTAG コネクタ	4
4. FPGA へのコンフィグレーション方法	6
5. コンフィグレーション ROM へのデータ書き込み方法	7
6. コンフィグレーション ROM データの作成方法	8
7. ジャンパスイッチの説明	13
8. コネクタピン割付表	14
9. XCM-001-200/400 参考資料について	16
10. R2、R3 について	16
11. 付属資料	16

はじめに

この度は、スパルタン ブレッドボード / XCM-001 シリーズをお買い上げいただきまして誠にありがとうございます。

XCM-001-200/400 は、ザイリンクスの高性能 FPGA スパルタン (XC3S) を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROM などを装備した使いやすいボードになっています。

どうぞご活用ください。

ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード	XCM-001-200/400	1
付属品（予備ジャンパなど）		1
マニュアル（本書）		1
ユーザー登録はがき		1

2. 仕様

製品型番	XCM-001-200	XCM-001-400
搭載 FPGA	XC3S200-4PQ208C (Xilinx)	XC3S400-4PQ208C (Xilinx)
電源	DC 3.3V (詳細は FPGA データシートご参照)	
消費電流	N/A (詳細は FPGA データシートご参照)	
外形寸法	86 × 54 [mm]	
重量	約 30 [g]	
ユーザ I/O	100 本(50 本 × 2)	
I/O コネクタ	2.54 ピッチ 2 列パッド引き出し	
プリント基板	ガラスエポキシ 4 層基板 1.6t	
コンフィグレーション ROM	XCF02SV020C (Xilinx)	
クロック	オンボード 72KHz、18.432MHz、48MHz	
リセット回路	内蔵	
JTAG コネクタ	DIP10 ピン、BOX ヘッダ	
LED	電源表示用、コンフィグレーション完了表示用	
付属品	2 列 × 40 ピン、ジャンパヘッダ 2 本	
	ジャンパソケット 2 個	
その他	-	-

3. 各部の名称



3.1. 電源入力

本ボードは、DC 3.3V単一電源で動作します。

内部に必要な、2.5V、1.2Vはオンボードのレギュレータにより生成されます。

外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。

電源はCN1、CN2、CN4などから供給してください。

また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

Rev2より一部I/Oについて、VCC0を分離することができます。

ボード上のJP3、JP4に実装されているゼロオーム抵抗を取り外し、CN1の1番と2番からVCC0を供給してください。

FPGAのBANK-2とBANK-3について、VCC0を別にすることができます。



3.2. JTAG コネクタ

FPGAへのコンフィグレーション、ISP可能なシリアルROMへの書き込みに用います。

ピン配置は次表のとおりです。

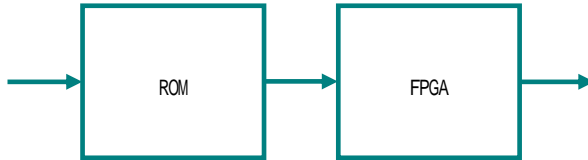
信号名	ピン番号	ピン番号	信号名
TCK	1	2	GND
TDO	3	4	VCC(3.3V)
TMS	5	6	-
-	7	8	-
TDI	9	10	GND

弊社製ダウンロードケーブルXC2、XCKITの10ピンコネクタと1:1で対応しています。

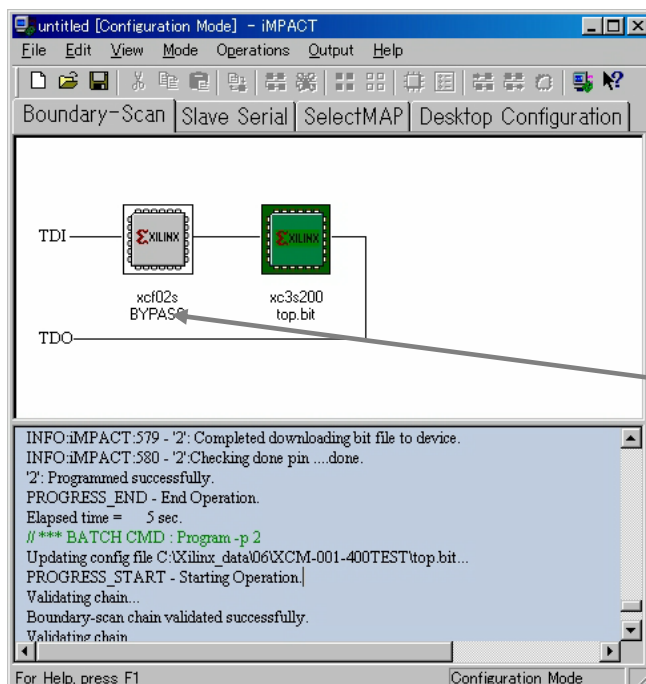
XILINX社の純正ケーブルを用いることもできます。

シリアルROMによりコンフィグレーションする場合は、内蔵のXCF02SにJTAG経由でISP(オンボード書き込み)してください。

JTAG チェインには ROM と FPGA の両方が参加しています。



iMPACT により、いずれかを選択し、ROM ならば ISP(書き込み)、FPGA ならば Configuration を行ってください。

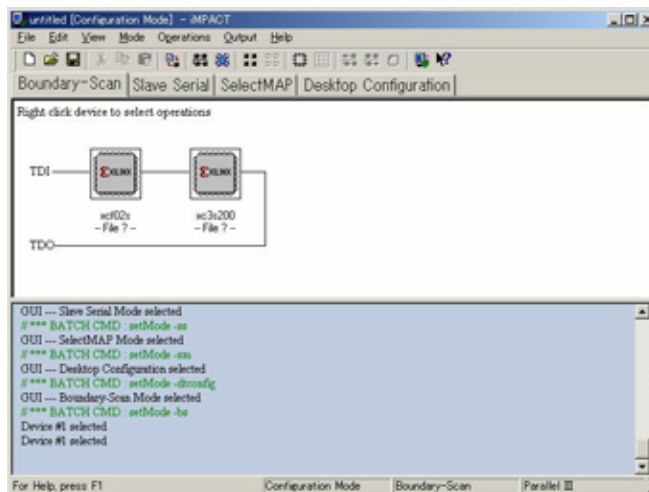


操作が必要ないときは、
BYPASS とすれば良い

4. FPGA へのコンフィグレーション方法

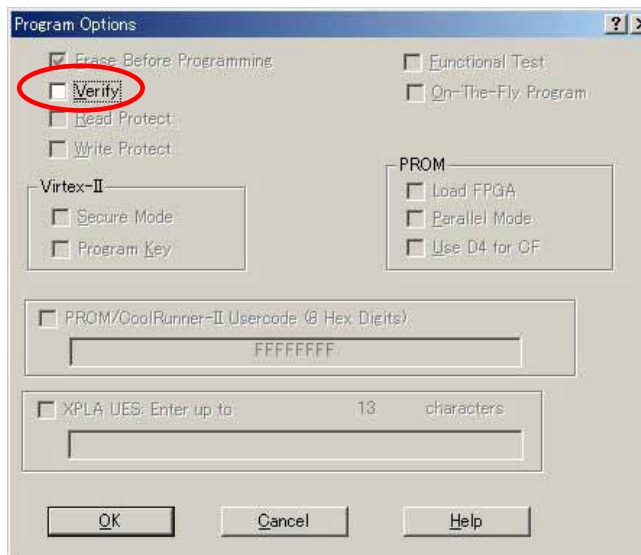
FPGA へのコンフィグレーションは iMPACT により行います。

通電状態で、IMPACT を起動すると、自動的に ROM と FPGA が認識されます。



ROM は BYPASS とし、FPGA に対して bit ファイルを割り付けてください。

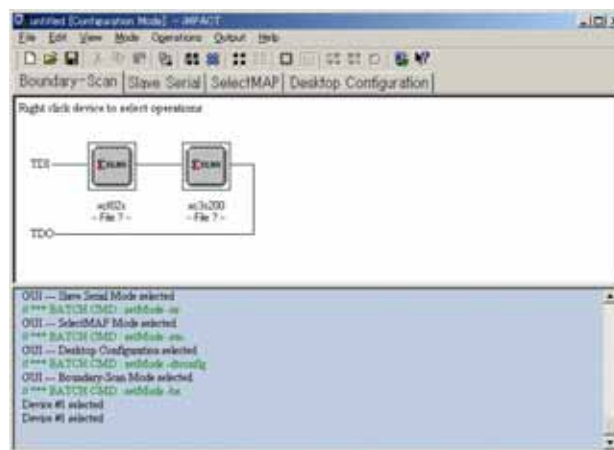
FPGA へのコンフィグレーションの際は、通常 Verify のチェックを外してください。



5. コンフィグレーション ROM へのデータ書き込み方法

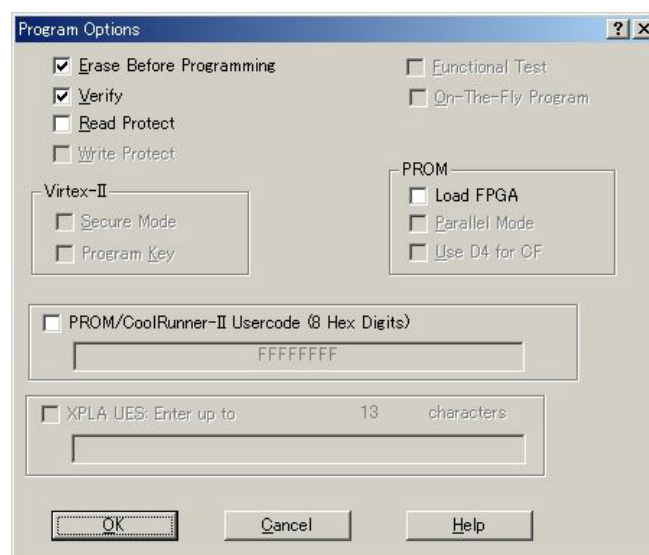
ROM へのデータ書き込みは iMPACT により行います。

通電状態で、IMPACT を起動すると、自動的に ROM と FPGA が認識されます



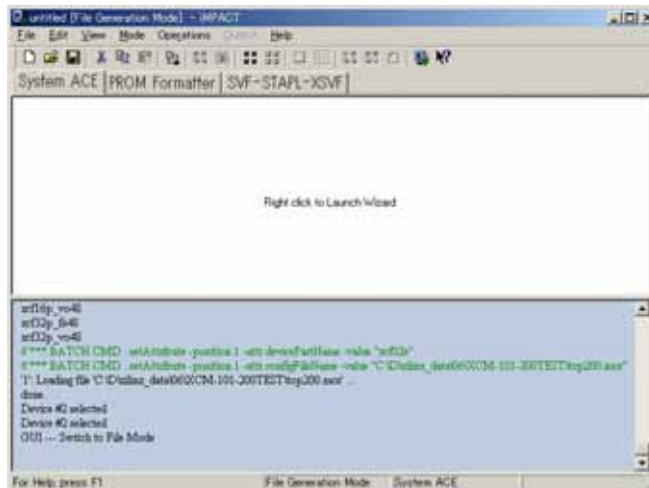
FPGA は BYPASS とし、ROM に対して bit ファイルを割り付けてください

Program を実行し次のダイアログで「OK」をクリックすると ROM へのデータ書き込みが始まります。

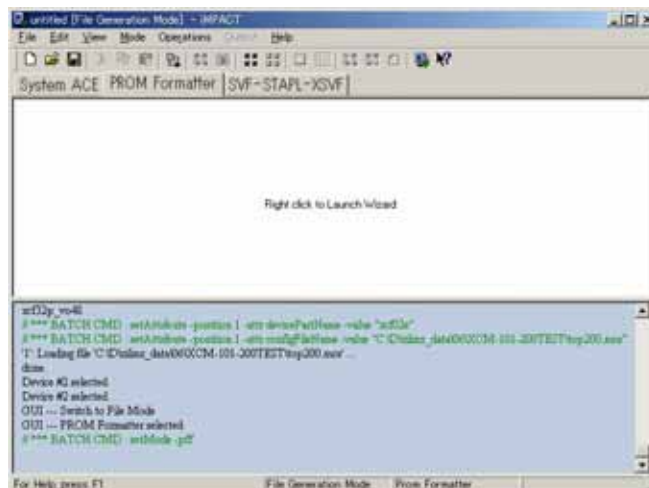


6. コンフィグレーション ROM データの作成方法

iMPACT を FileMode に切り替えます。



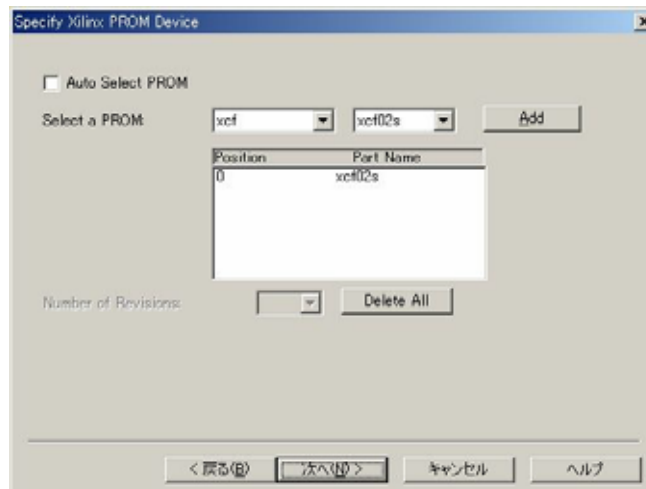
次に、PROM Formatter タブの、表示エリアで右ボタンメニューの Wizard を実行します。



Xilinx Serial PROM、MCS を選択、生成するファイル名と、bit ファイルのあるフォルダを指定します。



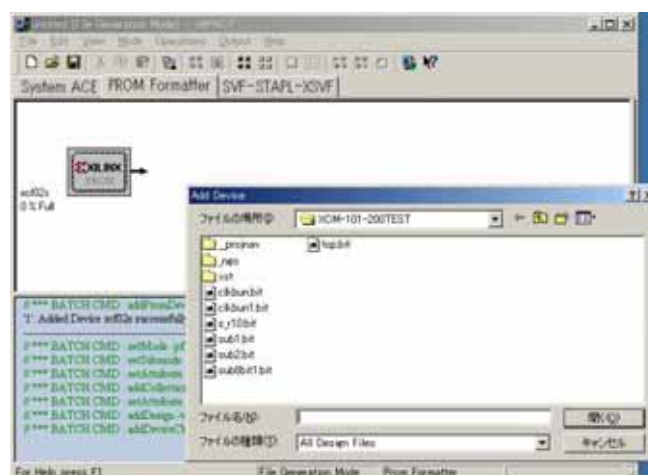
次に、ROM のタイプを xcf02s と指定します。



次のようなダイアログが表示されますので、次へをクリックします。



次のようなダイアログが表示されますので、Add File により Bit ファイルを指定します。



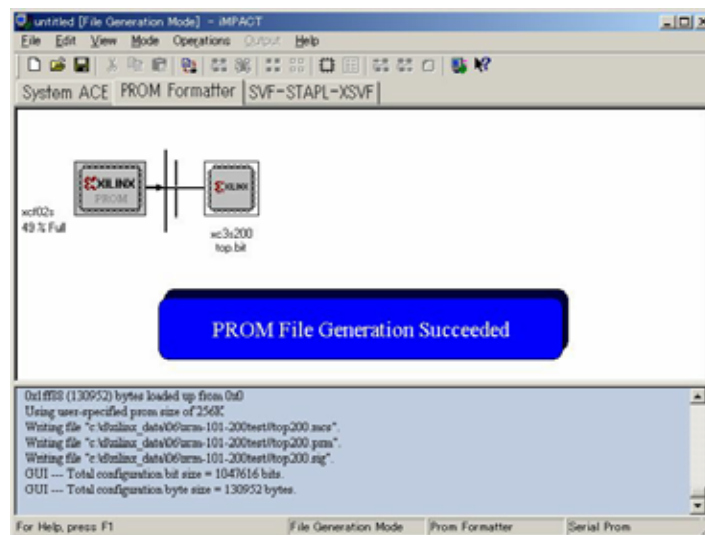
次のようなダイアログが表示されますので、完了をクリックします。



次のようなダイアログが表示されます。

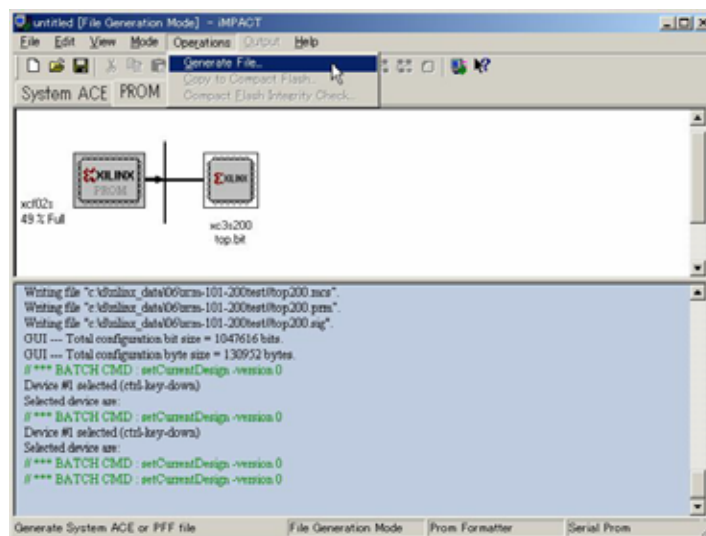


「はい」をクリックすると ROM データが作成されます。



「いいえ」をクリックし、後から ROM データを作成することもできます。

方法：メニューバーから [Operations]-[Generate File] をクリックします。



7. ジャンパスイッチの説明

JP1 M0, M1, M2 信号処理用 (回路図参照)

Table 21: Spartan-3 Configuration Mode Pin Settings

Configuration Mode ⁽¹⁾	M0	M1	M2	Synchronizing Clock	Data Width	Serial DOUT ⁽²⁾
Master Serial	0	0	0	CCLK Output	1	Yes
Slave Serial	1	1	1	CCLK Input	1	Yes
Master Parallel	1	1	0	CCLK Output	8	No
Slave Parallel	0	1	1	CCLK Input	8	No
JTAG	1	0	1	TCK Input	1	No

Notes:

1. The voltage levels on the M0, M1, and M2 pins select the configuration mode.
2. The daisy chain is possible only in the Serial modes when DOUT is used.

(Xilinx 社データシートより)

ROM 使用時 : Master Serial mode

JP1 1-2 間ショート M0= L

JP1 3-4 間ショート M1= L

JP1 5-6 間ショート M2= L

出荷時 : JTAG mode

JP1 1-2 間オープン M0= H

JP1 3-4 間ショート M1= L

JP1 5-6 間オープン M0= H

JP2 HSWAP ENABLE ピンの設定

FPGA の HSWAP_ENABLE ピンの設定を行います。

JP2 ショート : L

JP2 オープン : H

(出荷時はオープン)

JP3, JP4 FPGA の VCC0 (BANK-2, BANK-3) 供給用

出荷時は、ゼロオーム抵抗により、VCC-A(3.3V)と接続されています。

FPGA の BANK-2 と BANK-3 の VCC0 を別電源として供給するときには、ゼロオーム抵抗を 2 個ともカットし、CN1 の 1 番 2 番ピンから別電源を供給してください。

8. コネクタピン割付表

CN1

コネクタピン番号	FPGA ピン番号	備考	コネクタピン番号	FPGA ピン番号	備考
1	BANK-B 電源	電源 B	34	135	
2	BANK-B 電源	電源 B	35	GND	
3	N.C	5V 電源予約	36	GND	
4	N.C	5V 電源予約	37	133	BANK-B
5	GND		38	132	BANK-B
6	GND		39	131	BANK-B
7	169		40	130	BANK-B
8	168		41	128	BANK-B
9	167		42	126	BANK-B
10	166		43	125	BANK-B
11	165		44	124	BANK-B
12	162		45	GND	
13	161		46	GND	
14	156		47	123	BANK-B
15	GND		48	122	BANK-B
16	GND		49	120	BANK-B
17	155	BANK-B	50	119	BANK-B
18	154	BANK-B	51	117	BANK-B
19	152	BANK-B	52	116	BANK-B
20	150	BANK-B	53	115	BANK-B
21	149	BANK-B	54	114	BANK-B
22	148	BANK-B	55	GND	
23	147	BANK-B	56	GND	
24	146	BANK-B	57	113	BANK-B
25	GND		58	111	BANK-B
26	GND		59	109	BANK-B
27	144	BANK-B	60	108	BANK-B
28	143	BANK-B	61	107	BANK-B
29	141	BANK-B	62	106	BANK-B
30	140	BANK-B	63	102	
31	139	BANK-B	64	101	
32	138	BANK-B	65	96	
33	137	BANK-B	66	95	

CN2

コネクタピン番号	FPGA ピン番号	備考	コネクタピン番号	FPGA ピン番号	備考
1	3.3V	電源 A	34	26	
2	3.3V	電源 A	35	GND	
3	N.C	5V 電源予約	36	GND	
4	N.C	5V 電源予約	37	27	
5	GND		38	28	
6	GND		39	29	
7	199		40	31	
8	200		41	33	
9	203		42	34	
10	204		43	35	
11	205		44	36	
12	2		45	GND	
13	3		46	GND	
14	4		47	37	
15	GND		48	39	
16	GND		49	40	
17	5		50	42	
18	7		51	43	
19	9		52	44	
20	10		53	45	
21	11		54	46	
22	12		55	GND	
23	13		56	GND	
24	15		57	48	
25	GND		58	50	
26	GND		59	51	
27	16		60	52	
28	18		61	57	
29	19		62	58	
30	20		63	61	
31	21		64	62	
32	22		65	79	
33	24		66	90	

9.XCM-001-200/400 参考資料について

追加資料や参考資料がつけられた場合は
製品サポートページ
http://www.hdl.co.jp/support_c.html

にデータをアップロードすることにいたします。

拡張子 “.exe” のときは、自己解凍ファイルといたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

10.R2、R3 について

R2(Rev2)では、VCC0 を分割供給できるようになりました。

R3(Rev3)では、JTAG 回路にシュミットトリガーバッファを追加し、Parallel-Cable3 など古いケーブルでのダウンロードの安定化をはかりました。また、オプションで発信器を追加実装できるパターンをもうけました(半田面 U10)。

11. 付属資料

1. 基板回路図

スパルタン ブレッドボード

XCM-001-200/400

ユーザーズマニュアル

2004/06/08 初版(R1)

2004/10/04 第2版(R1)

2004/10/05 第3版(R2)

2004/03/24 第4版(R3)

2005/04/25 第5版(R3)

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-51

シャトー春日第3ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>

Mail support@hdl.co.jp
