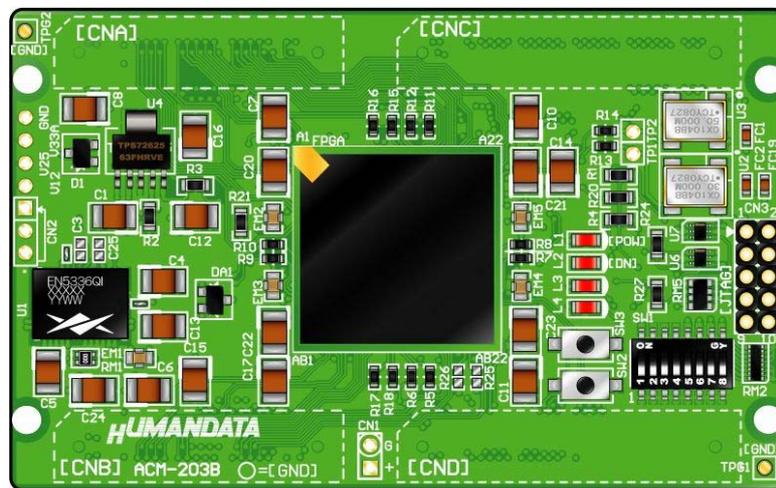


Cyclone III ブレッドボード
(高密度カードサイズ)
ACM-203 シリーズ Rev3
ユーザーズマニュアル
Ver. 3.0



ヒューマンデータ

目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 開発環境.....	2
2. 製品の内容について.....	2
3. 仕様.....	3
4. 固定ピンについて [重要]	4
5. 製品概要.....	6
5.1. 各部の名称.....	6
5.2. ブロック図.....	7
5.3. 電源入力.....	7
5.4. JTAG コネクタ.....	8
6. 設定スイッチ(SW1).....	9
7. FPGA のコンフィギュレーション.....	10
8. コンフィギュレーション ROM への書込み.....	10
8.1. .jic ファイルの作成.....	10
8.2. 書き込み.....	11
9. FPGA ピン割付表.....	12
9.1. ユーザ I/O (CNA).....	12
9.2. ユーザ I/O (CNB).....	13
9.3. ユーザ I/O (CNC).....	14
9.4. ユーザ I/O (CND).....	15
9.5. オンボードクロック.....	16
9.6. 外部入力 クロック.....	16
9.7. 汎用 LED.....	17
9.8. 汎用スイッチ.....	17
9.9. 汎用スイッチ(DIP).....	17
9.10. その他.....	17
10. 参考資料について.....	18
11. 付属資料.....	18
12. お問い合わせについて.....	18

● はじめに

この度は、CycloneⅢブレッドボード／ACM-203 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-203 シリーズは、アルテラ社の高性能 FPGA である CycloneⅢを用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 禁止	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途での使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電圧を加えないでください。

 注意	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2020/08/03	3.0	製品リビジョン更新 (Rev3) ・コンフィグ ROM の変更

1. 開発環境

FPGAの内部回路設計には、回路図エディタやHDL入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザ様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード	ACM-203 シリーズ	1
付属品		1
マニュアル (本書)		1*
ユーザー登録はがき		1*

* オーダー毎に各1部の場合があります。(ご要望により追加請求できます。)

3. 仕様

製品型番	ACM-203-16C8	ACM-203-40C8	ACM-203-55C8
搭載 FPGA	EP3C16F484C8N	EP3C40F484C8N	EP3C55F484C8N
電源	DC 3.3[V] (内部電源はオンボードレギュレータにより生成)		
消費電流	N/A (詳細は FPGA データシートご参照)		
基板寸法	86×54 [mm]		
質量	約 33 [g]		
ユーザ I/O	262 本		
I/O コネクタ	FX10A-80P/8-SV1 x2 FX10A-100P/10-SV1 x2 (ヒロセ電機)		
プリント基板	ガラスエポキシ 10 層基板 1.6t		
コンフィグ ROM	EPCQ64ASI16N (Intel, 64Mbit)		
オンボードクロック	30MHz, 50MHz (外部供給可能)		
リセット回路	内蔵 (200ms TYP)		
JTAG コネクタ	DIL10 ピン 丸ピンソケット 2.54mm ピッチ		
ステータス LED	2 個 (POWER-LED, DONE-LED)		
汎用 LED	2 個		
汎用スイッチ	押しボタン SW 2 個 DIPSW 4 ビット		
付属品	DIL10 ロングピンヘッダ (本体に取り付け済み)		
	コネクタ : FX10A-80S/8-SV (ヒロセ電機)		2 個
	コネクタ : FX10A-100S/10-SV (ヒロセ電機)		2 個

* これらの部品や仕様は変更となる場合がございます。

4. 固定ピンについて **[重要]**

本ボードでは、下記のピンが GND または VCCINT (1.2V) に固定されています。

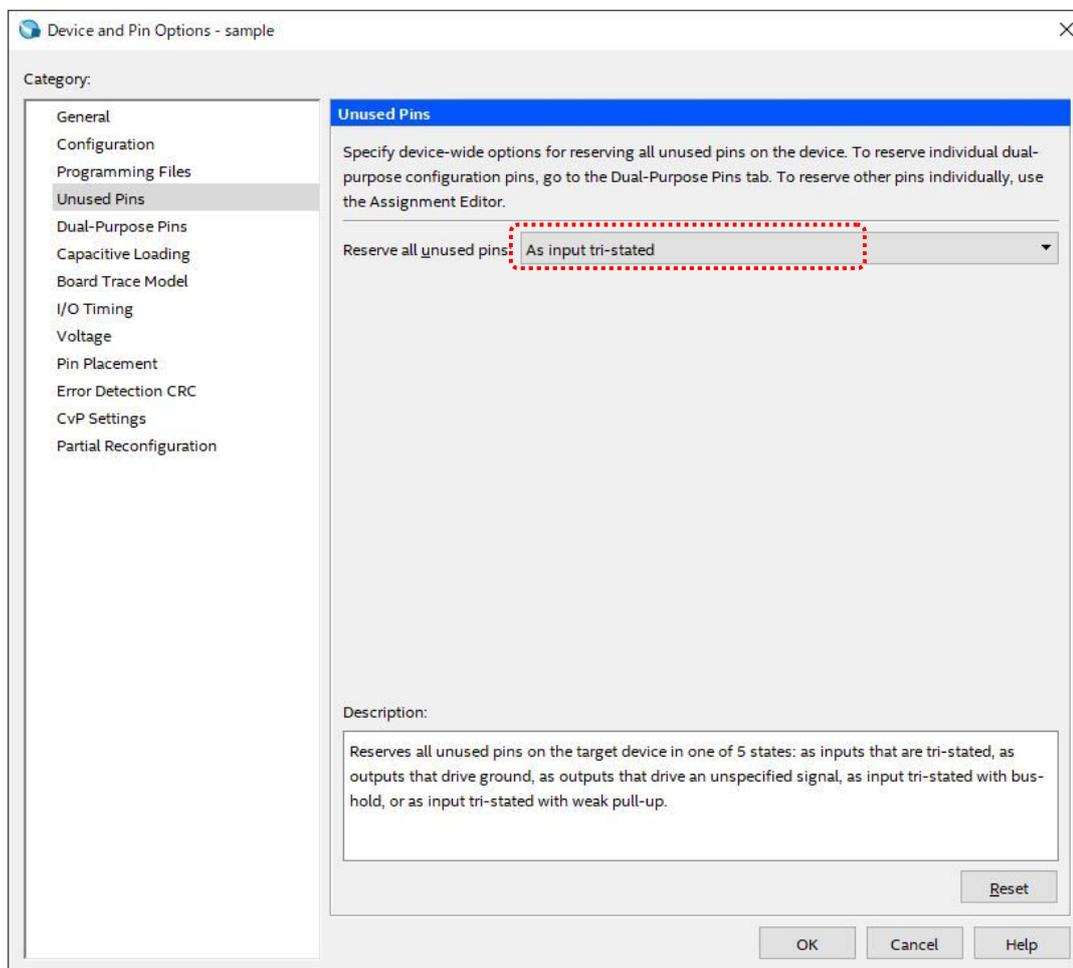
デバイスによっては、ダミー入力として他に使わないようにする必要があります。EP3C55 では GND や VCCINT になっているものの、より小さなデバイスでは I/O として割り付けられています。

固定ピン一覧

GND		VCCINT		VCCIO	
NET LABEL	FPGA ピン	NET LABEL	FPGA ピン	NET LABEL	FPGA ピン
GND	AB6	V12	G12	VCCIO1	H4
GND	C18	V12	H11	VCCIO2	R4
GND	D7	V12	H15	VCCIO3	AA6
GND	D8	V12	H9	VCCIO4	Y14
GND	F12	V12	J16	VCCIO5	T19
GND	H10	V12	J8	VCCIO6	J20
GND	H12	V12	K15	VCCIO7	D18
GND	H13	V12	K8	VCCIO8	E8
GND	H14	V12	L16		
GND	H3	V12	L7		
GND	H8	V12	M15		
GND	J15	V12	M8		
GND	J19	V12	N14		
GND	J5	V12	P14		
GND	K16	V12	P15		
GND	L15	V12	R10		
GND	L8	V12	R12		
GND	M7	V12	R8		
GND	N15	V12	T13		
GND	N8	V12	T7		
GND	P16	V12	T9		
GND	P8	V12	U16		
GND	R11	V12	U17		
GND	R13				
GND	R3				
GND	R7				
GND	R9				
GND	T12				
GND	T20				
GND	T8				
GND	Y15				

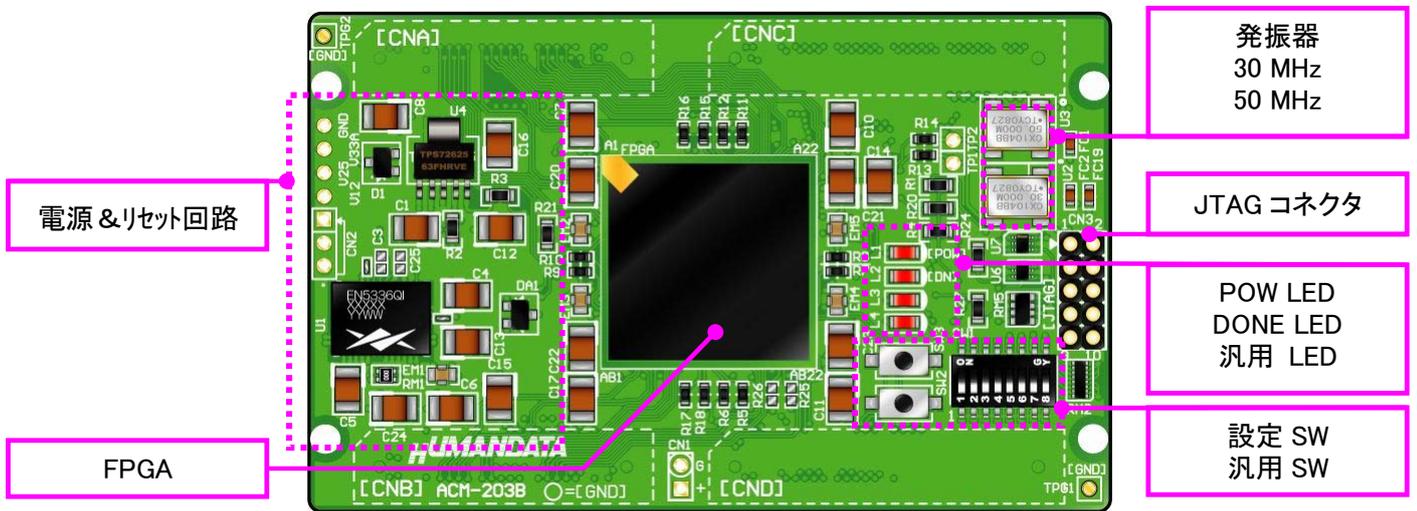
ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

- ▼ Quartus の【Assignments】のタブにある【Device...】を開きます
- 【Device & Pin Options...】をクリックし【Unused Pins】のタブを開きます
- Reserve all unused pins の設定を【As inputs tri-stated】にします

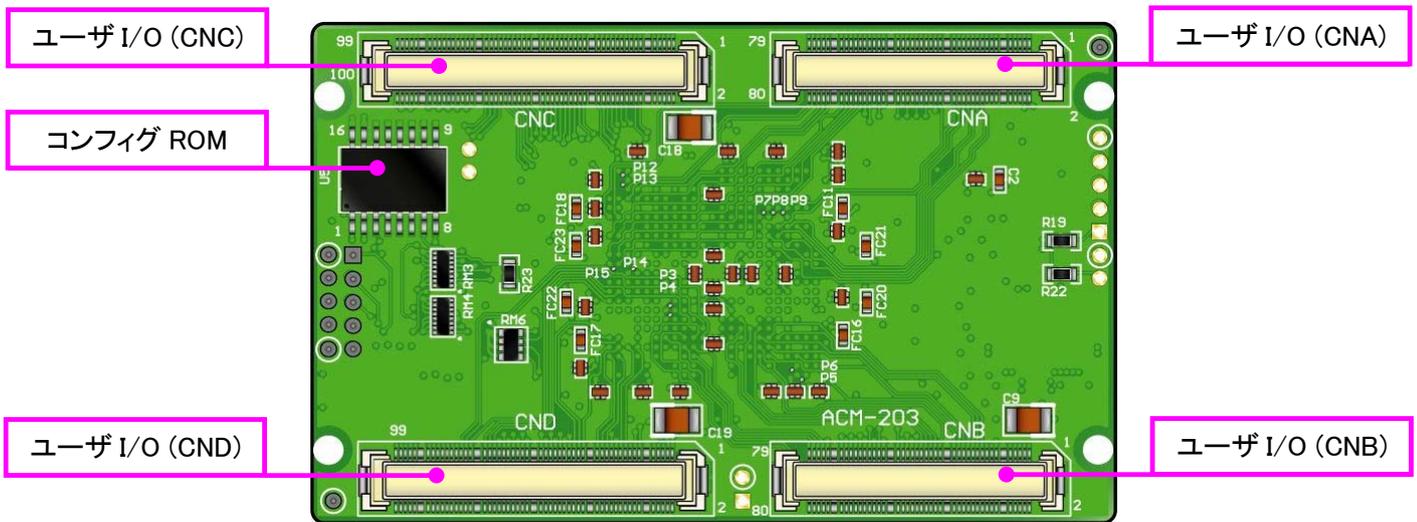


5. 製品概要

5.1. 各部の名称

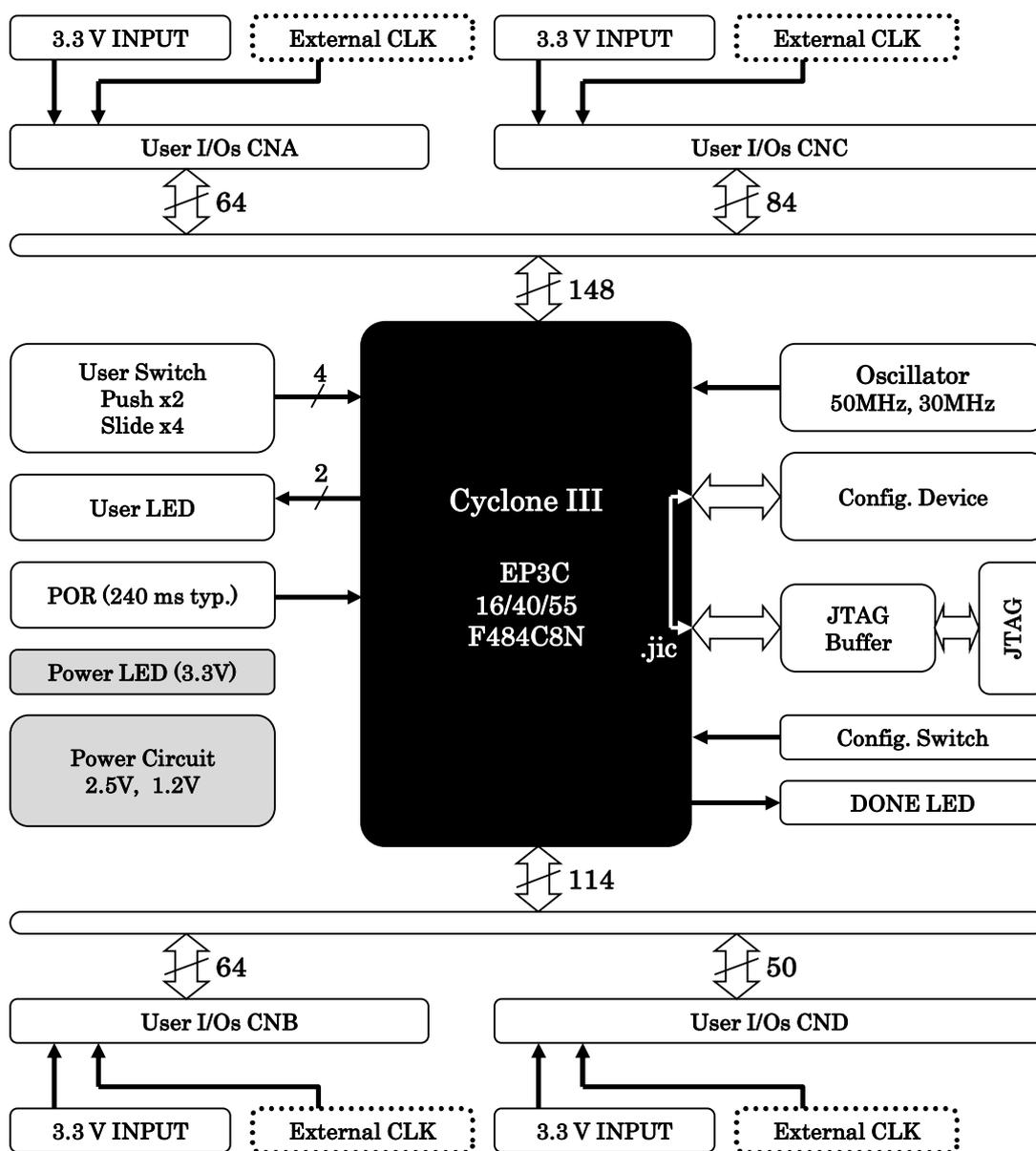


部品面



はんだ面

5.2. ブロック図



ACM-203 Rev.D

5.3. 電源入力

本ボードは、DC 3.3V単一電源で動作します。
外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。

メモ

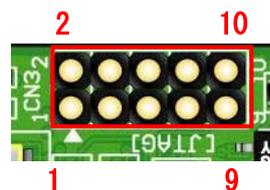
電源はCNA、CNB、CNC、CNDから太い配線で供給してください。
電源、GNDはすべてのピンに接続することをお勧めします。

5.4. JTAG コネクタ

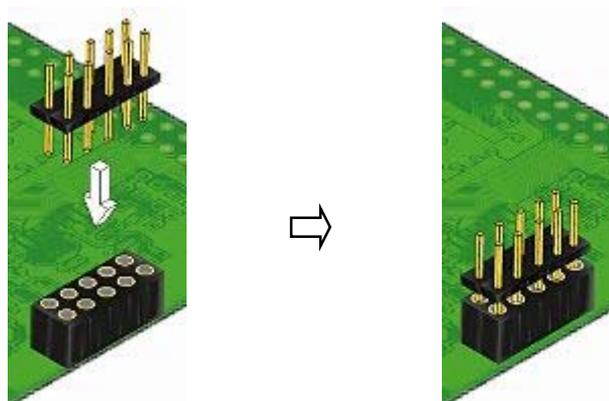
FPGA へのコンフィギュレーション及びコンフィギュレーション ROM の ISP (In-system Programming) に使用します。ピン配置は次表のとおりです。

CN3

信号	JTAG ピン		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND



ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。



使用例

注意

ダウンロードケーブルを接続する場合は、逆差しにご注意ください。

6. 設定スイッチ (SW1)

SW1 により FPGA のコンフィギュレーションモードを設定できます。主に使用する設定を下表に示します。その他の設定項目については FPGA のデータシートをご参照ください。

ON で Low に固定されます。

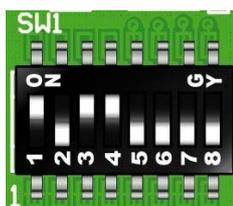
SW1

	1	2	3	4	5	6	7	なし
LABEL	MSEL0	MSEL1	MSEL2	MSEL3	DSW4	DSW5	DSW6	DSW7
出荷時	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
機能	コンフィギュレーションモード				汎用			

モード	MSEL0	MSEL1	MSEL2	MSEL3
AS モード	ON	OFF	ON	ON
JTAG	OFF	OFF	OFF	OFF

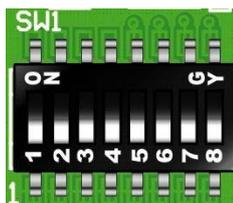
ROM 使用時 : SW1 (1、3、4 ON 2 OFF)

MSEL0 = ON
MSEL1 = OFF
MSEL2 = ON
MSEL3 = ON



JTAG 使用時 : SW1 の状態に影響されません

MSEL0 = OFF
MSEL1 = OFF
MSEL2 = OFF
MSEL3 = OFF



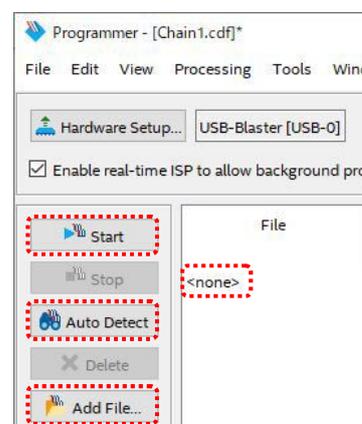
メモ

出荷時はすべて OFF の設定になっています

7. FPGA のコンフィギュレーション

1. Quartus を起動し [Tools -> Programmer] をクリックします
2. [Auto Detect] をクリックしデバイスを認識させます
3. [Add Files...] または<none>をダブルクリックします
4. [Program/Configure] にチェックを入れ [Start] をクリックします

正常にコンフィギュレーションが完了するとボード上の DONE LED が点灯します。



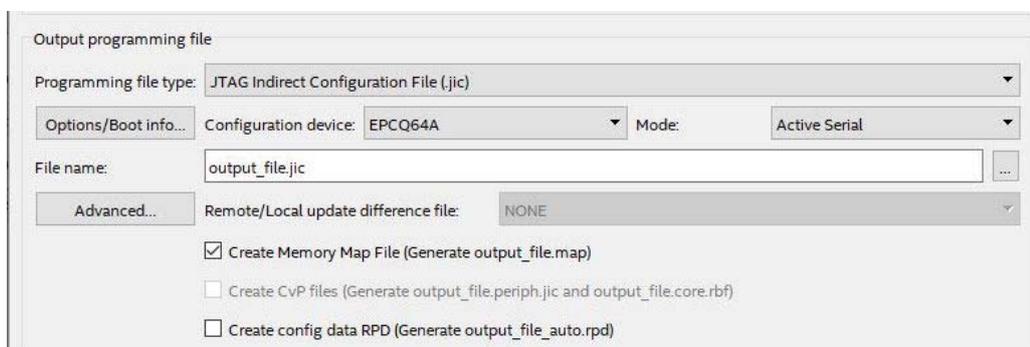
8. コンフィギュレーション ROM への書込み

ACM-203 にはコンフィギュレーション ROM (EPCQ64A) が実装されています。書き込むには Quartus により jic ファイルを作成する必要があります。

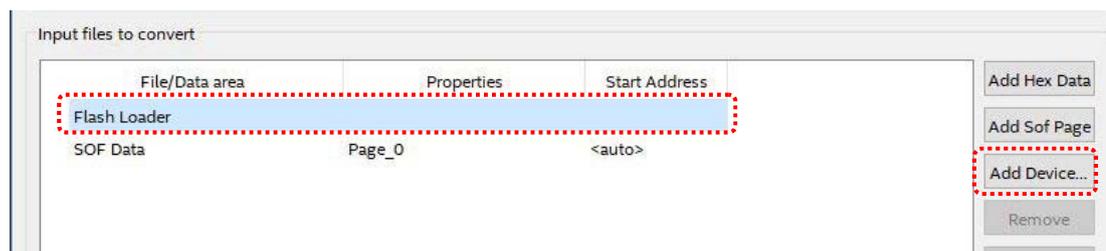
※EPCQA メモリに対応した JIC ファイルの作成には Quartus Prime 17.1 以降が対応しています

8.1. jic ファイルの作成

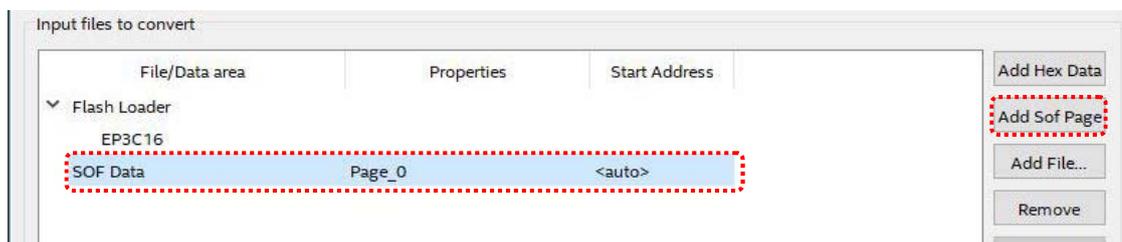
1. Quartus を起動し [File -> Convert Programming Files...] をクリックします
2. 下記項目を設定します
 [Programming File type]: JTAG Indirect Configuration File (.jic)
 [Configuration device]: EPCQ64A
 [Mode]: Active Serial
 [File name]: 任意



3. [Flash Loader] を選択し [Add Device...] をクリックします



4. 搭載デバイスを選択し [OK] をクリックします
(CycloneIII EP3C16 or EP3C40 or EP3C55)
5. [SOF Data] を選択し [Add Sof Data] をクリックし sof データを割り当てます



6. [Generate] をクリックします

8.2. 書き込み

書き込む前に FPGA にコンフィギュレーションし十分な動作の確認を行ってください。書き込みには SW1 の設定が必要です。詳しくは 6 章「設定スイッチ (SW1)」を参照してください。

1. Quartus を起動し [Programmer] をクリックします
2. [Auto Detect] をクリックしデバイスを認識させます
3. [Add Files...] または<none>をダブルクリックし jic ファイルを選択します
4. [Program/Configure] と [verify] にチェックをいれ [Start] をクリックします

コンフィギュレーション完了後、電源を入れ直すと自動的に ROM から FPGA へコンフィギュレーションされます。

9. FPGA ピン割付表

9.1. ユーザ I/O (CNA)

BANK Group	NET LABEL	FPGA ピン	CNA		FPGA ピン	NET LABEL	BANK Group
		V33A	1	2	V33A		
		V33A	3	4	V33A		
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
A	CLK0	B12	11	12	A12	CLK1	A
		N.C	13	14	N.C		
		N.C	15	16	N.C		
A	IOA0	J1	17	18	J6	IOA32	A
A	IOA1	J2	19	20	H6	IOA33	A
A	IOA2	H1	21	22	J4	IOA34	A
A	IOA3	H2	23	24	H5	IOA35	A
A	IOA4	F1	25	26	G3	IOA36	A
A	IOA5	F2	27	28	G4	IOA37	A
A	IOA6	C1	29	30	G5	IOA38	A
		GND	-	-	GND		
A	IOA7	C2	31	32	E3	IOA39	A
A	IOA8	B1	33	34	J17	IOA40	A
A	IOA9	B2	35	36	H16	IOA41	A
A	IOA10	A13	37	38	F11	IOA42	A
A	IOA11	B13	39	40	E11	IOA43	A
A	IOA12	A14	41	42	G15	IOA44	A
A	IOA13	B14	43	44	F14	IOA45	A
A	IOA14	A15	45	46	F13	IOA46	A
A	IOA15	B15	47	48	E14	IOA47	A
A	IOA16	A16	49	50	D13	IOA48	A
		GND	-	-	GND		
A	IOA17	B16	51	52	C13	IOA49	A
A	IOA18	A17	53	54	E15	IOA50	A
A	IOA19	B17	55	56	D15	IOA51	A
A	IOA20	A18	57	58	F16	IOA52	A
A	IOA21	B18	59	60	E16	IOA53	A
A	IOA22	B21	61	62	K21	IOA54	A
A	IOA23	B22	63	64	K22	IOA55	A
A	IOA24	E21	65	66	J21	IOA56	A
A	IOA25	E22	67	68	J22	IOA57	A
A	IOA26	C21	69	70	H21	IOA58	A
		GND	-	-	GND		
A	IOA27	C22	71	72	H22	IOA59	A
A	IOA28	D21	73	74	D19	IOA60	A
A	IOA29	D22	75	76	C19	IOA61	A
A	IOA30	F21	77	78	D20	IOA62	A
A	IOA31	F22	79	80	C20	IOA63	A

9.2. ユーザ I/O (CNB)

BANK Group	NET LABEL	FPGA ピン	CNB		FPGA ピン	NET LABEL	BANK Group
		VIO(B)	1	2	VIO(B)		
		VIO(B)	3	4	VIO(B)		
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
B	CLK2	AA12	11	12	AB12	CLK3	B
		N.C	13	14	N.C		
		N.C	15	16	N.C		
B	IOB0	V6	17	18	AA4	IOB32	B
B	IOB1	V5	19	20	AB4	IOB33	B
B	IOB2	V7	21	22	AA5	IOB34	B
B	IOB3	W6	23	24	AB5	IOB35	B
B	IOB4	Y3	25	26	AA7	IOB36	B
B	IOB5	Y6	27	28	AB7	IOB37	B
B	IOB6	W7	29	30	AA8	IOB38	B
		GND	-	-	GND		
B	IOB7	Y7	31	32	AB8	IOB39	B
B	IOB8	U7	33	34	AA9	IOB40	B
B	IOB9	U8	35	36	AB9	IOB41	B
B	IOB10	U9	37	38	R14	IOB42	B
B	IOB11	V8	39	40	R15	IOB43	B
B	IOB12	T10	41	42	AA13	IOB44	B
B	IOB13	U10	43	44	AB13	IOB45	B
B	IOB14	T11	45	46	AA14	IOB46	B
B	IOB15	V10	47	48	AB14	IOB47	B
B	IOB16	W8	49	50	AA15	IOB48	B
		GND	-	-	GND		
B	IOB17	Y8	51	52	AB15	IOB49	B
B	IOB18	V11	53	54	AB16	IOB50	B
B	IOB19	W10	55	56	AA16	IOB51	B
B	IOB20	Y10	57	58	AB17	IOB52	B
B	IOB21	AA10	59	60	AA17	IOB53	B
B	IOB22	AB10	61	62	AB20	IOB54	B
B	IOB23	U11	63	64	AA20	IOB55	B
B	IOB24	T14	65	66	V15	IOB56	B
B	IOB25	T15	67	68	W15	IOB57	B
B	IOB26	U14	69	70	W17	IOB58	B
		GND	-	-	GND		
B	IOB27	U15	71	72	Y17	IOB59	B
B	IOB28	W13	73	74	V14	IOB60	B
B	IOB29	Y13	75	76	U13	IOB61	B
B	IOB30	W14	77	78	V9	IOB62	B
B	IOB31	V16	79	80	Y4	IOB63	B

9.3. ユーザ I/O (CNC)

BANK Group	NET LABEL	FPGA ピン	CNC		FPGA ピン	NET LABEL	BANK Group
		VIO(C)	1	2	VIO(C)		
		VIO(C)	3	4	VIO(C)		
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
	CLK6	T21	11	12	A11	CLK8	C
	CLK7	T22	13	14	B11	CLK9	C
		N.C	15	16	N.C		
C	IOC0	N2	17	18	A5	IOC42	C
C	IOC1	N1	19	20	C6	IOC43	C
C	IOC2	M1	21	22	A6	IOC44	C
C	IOC3	M2	23	24	B6	IOC45	C
C	IOC4	M3	25	26	A7	IOC46	C
C	IOC5	M4	27	28	B7	IOC47	C
C	IOC6	M5	29	30	A8	IOC48	C
		GND	-	-	GND		
C	IOC7	M6	31	32	B8	IOC49	C
C	IOC8	L6	33	34	A9	IOC50	C
C	IOC9	G8	35	36	B9	IOC51	C
C	IOC10	F8	37	38	A10	IOC52	C
C	IOC11	G7	39	40	B10	IOC53	C
C	IOC12	F7	41	42	C7	IOC54	C
C	IOC13	E7	43	44	C8	IOC55	C
C	IOC14	D6	45	46	C10	IOC56	C
C	IOC15	C3	47	48	E9	IOC57	C
C	IOC16	C4	49	50	D10	IOC58	C
		GND	-	-	GND		
C	IOC17	B3	51	52	E10	IOC59	C
C	IOC18	A3	53	54	F9	IOC60	C
C	IOC19	B4	55	56	G11	IOC61	C
C	IOC20	A4	57	58	G10	IOC62	C
C	IOC21	B5	59	60	F10	IOC63	C
C	IOC22	N5	61	62	G9	IOC64	C
C	IOC23	N6	63	64	W1	IOC65	C
C	IOC24	N7	65	66	W2	IOC66	C
C	IOC25	P7	67	68	Y1	IOC67	C
C	IOC26	P5	69	70	Y2	IOC68	C
		GND	-	-	GND		
C	IOC27	P6	71	72	AA2	IOC69	C
C	IOC28	R5	73	74	AA1	IOC70	C
C	IOC29	R6	75	76	N16	IOC71	C
C	IOC30	T5	77	78	M16	IOC72	C
C	IOC31	P4	79	80	N17	IOC73	C
C	IOC32	P3	81	82	N18	IOC74	C
C	IOC33	P2	83	84	M19	IOC75	C

C	IOC34	P1	85	86	M20	IOC76	C
C	IOC35	R2	87	88	M21	IOC77	C
C	IOC36	R1	89	90	M22	IOC78	C
		GND	-	-	GND		
C	IOC37	U1	91	92	N19	IOC79	C
C	IOC38	U2	93	94	N20	IOC80	C
C	IOC39	T3	95	96	P21	IOC81	C
C	IOC40	V1	97	98	V3	IOC82	C
C	IOC41	V2	99	100	V4	IOC83	C

9.4. ユーザ I/O (CND)

BANK Group	NET LABEL	FPGA ピン	CND		FPGA ピン	NET LABEL	BANK Group
		VIO(C)	1	2	VIO(C)		
		VIO(C)	3	4	VIO(C)		
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
C	CLK4	T2	11	12	AB11	CLK10	B
C	CLK5	T1	13	14	AA11	CLK11	B
		N.C	15	16	N.C		
C	IOD0	W19	17	18	K17	IOA64	A
C	IOD1	W20	19	20	K18	IOA65	A
C	IOD2	AA21	21	22	J18	IOA66	A
C	IOD3	AA22	23	24	F15	IOA67	A
C	IOD4	Y21	25	26	G16	IOA68	A
C	IOD5	Y22	27	28	H19	IOA69	A
C	IOD6	W21	29	30	H20	IOA70	A
		GND	-	-	GND		
C	IOD7	W22	31	32	G17	IOA71	A
C	IOD8	V21	33	34	F17	IOA72	A
C	IOD9	V22	35	36	C17	IOA73	A
C	IOD10	T17	37	38	B19	IOA74	A
C	IOD11	T18	39	40	A19	IOA75	A
C	IOD12	U21	41	42	G13	IOA76	A
C	IOD13	U22	43	44	G14	IOA77	A
C	IOD14	U19	45	46	H17	IOA78	A
C	IOD15	U20	47	48	G18	IOA79	A
C	IOD16	R17	49	50	J3	IOA80	A
		GND	-	-	GND		
C	IOD17	R18	51	52	H7	IOA81	A
C	IOD18	R19	53	54		NC	
C	IOD19	R20	55	56		NC	
C	IOD20	R21	57	58		NC	
C	IOD21	R22	59	60		NC	
C	IOD22	P20	61	62		NC	
C	IOD23	P17	63	64		NC	

C	IOD24	P22	65	66		NC	
C	IOD25	N21	67	68		NC	
C	IOD26	N22	69	70		NC	
		GND	-	-	GND	NC	
B	IOD27	V13	71	72		NC	
B	IOD28	U12	73	74		NC	
B	IOD29	V12	75	76		NC	
B	IOD30	AA18	77	78		NC	
B	IOD31	AB18	79	80		NC	
	NC		81	82		NC	
	NC		83	84		NC	
	NC		85	86		NC	
	NC		87	88		NC	
	NC		89	90		NC	
	NC	GND	-	-	GND	NC	
	NC		91	92		NC	
	NC		93	94		NC	
	NC		95	96		NC	
	NC		97	98		NC	
	NC		99	100		NC	

9.5. オンボードクロック

周波数	NET LABEL	FPGA ピン
30MHz	CLKA	G1,2
50MHz	CLKB	G21,22

9.6. 外部入力 クロック

周波数	NET LABEL	FPGA ピン	備考
任意	CLK0	B12	p
任意	CLK1	A12	n
任意	CLK2	AA12	p
任意	CLK3	AB12	n
任意	CLK4	T2	p
任意	CLK5	T1	n
任意	CLK6	T21	p
任意	CLK7	T22	n
任意	CLK8	A11	n
任意	CLK9	B11	p
任意	CLK10	AB11	n
任意	CLK11	AA11	p

9.7. 汎用 LED

LED	NET LABEL	FPGA ピン
L3	ULED0	E12
L4	ULED1	E13

9.8. 汎用スイッチ

スイッチ	NET LABEL	FPGA ピン
SW2	PSW0	H18
SW3	PSW1	K19

9.9. 汎用スイッチ (DIP)

スイッチ	NET LABEL	FPGA ピン
SW1-5	DSW4	F19
SW1-6	DSW5	F20
SW1-7	DSW6	D17
SW1-8	DSW7	C15

9.10. その他

NET LABEL	FPGA ピン
D_RXD	K7
D_TXD	J7

10. 参考資料について

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<https://www.hdl.co.jp/ftpdata/acm-203/index.html>
https://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図
- パターン図
- ネットリスト ... 等

また下記サポートページも合わせてご活用ください。

<https://www3.hdl.co.jp/spc/>

11. 付属資料

1. 基板外形図
2. 回路図(FPGA ライブラリには EP3C16 を使用しています)

12. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

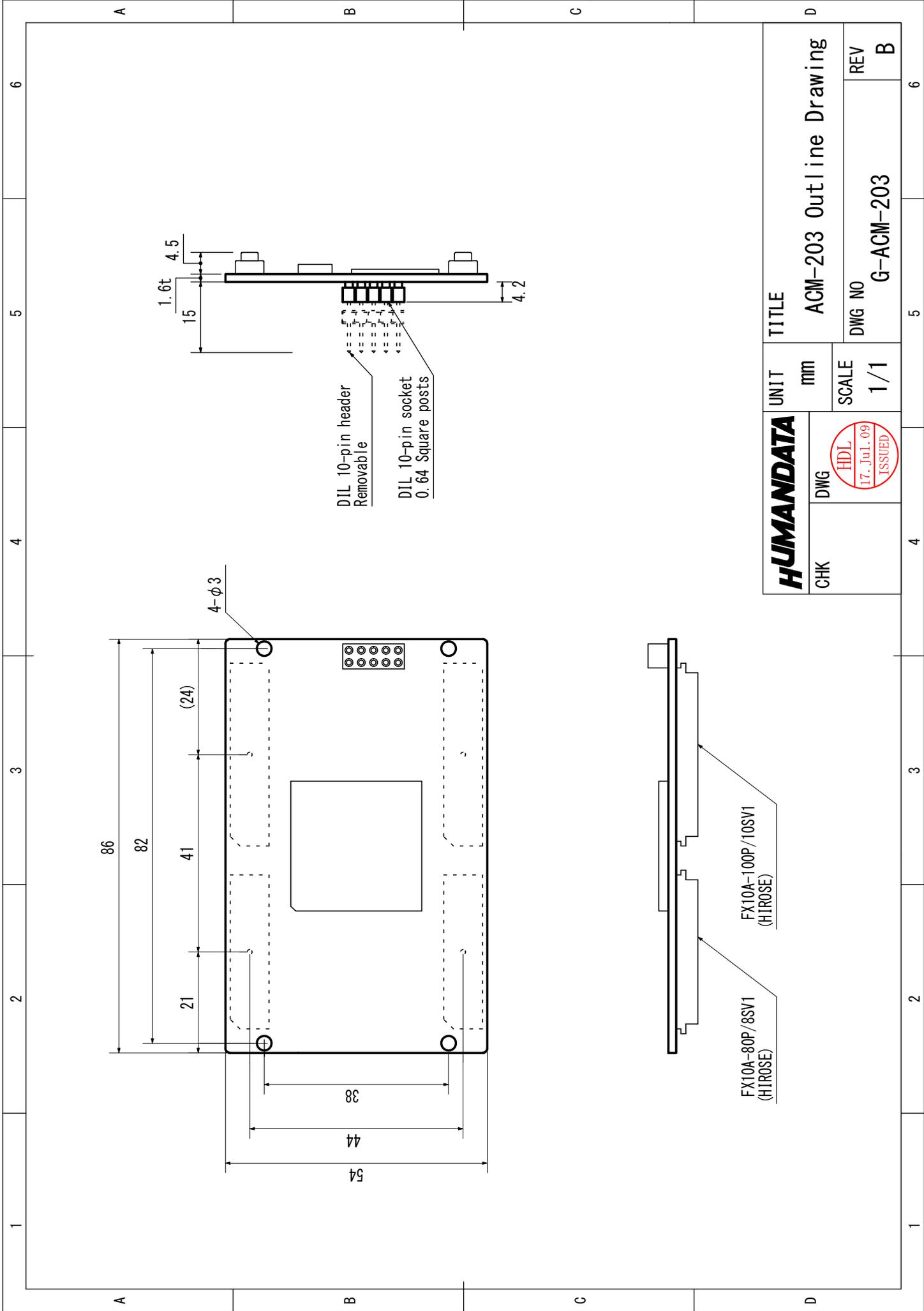
e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承くださいませ。



DIL 10-pin header
Removable

DIL 10-pin socket
0.64 Square posts

HUMANDATA	UNIT	TITLE	
	mm	ACM-203 Outline Drawing	
CHK	DWG	SCALE	DWG NO
		1/1	G-ACM-203
			REV
			B



FX10A-80P/8SV1
(HIROSE)

FX10A-100P/10SV1
(HIROSE)

CycloneⅢ ブレッドボード

ACM-203 シリーズ (Rev3)
ユーザーズマニュアル

2020/08/03 Ver.3.0

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <https://www.hdl.co.jp/> (Japan)

<https://www2.hdl.co.jp/en/> (Global)
