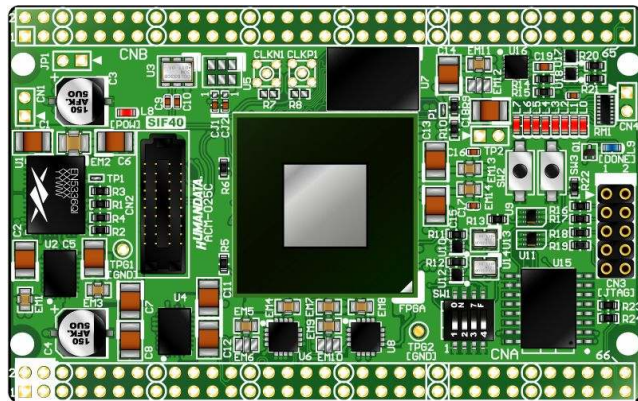




Arria II GX FPGA ボード
ACM-025 シリーズ
ユーザーズマニュアル
Ver.1.2



目次


● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	2
2. 開発環境.....	2
3. 仕様.....	3
4. 製品説明.....	4
4.1. 各部名称.....	4
4.2. ブロック図.....	5
4.3. 電源.....	6
4.4. クロック.....	6
4.5. 設定スイッチ (SW1).....	6
5. High Speed Serial Transceiver (ALTGX).....	7
6. FPGA コンフィギュレーション.....	7
6.1. JTAG/バウンダリスキャン.....	8
6.2. コンフィグ ROM アクセスファイル (jic ファイル) の作成.....	8
6.3. コンフィグ ROM アクセス.....	9
7. FPGA ピン割付表.....	9
7.1. SIF40 (CN4).....	13
7.2. ユーザ I/O (CNA).....	10
7.3. ユーザ I/O (CNB).....	11
7.4. DDR2 SDRAM (U11).....	12
7.5. オンボードクロック.....	14
7.6. 外部クロック入力.....	14
7.7. 汎用 LED.....	14
7.8. 汎用スイッチ.....	14
8. サポートページ.....	15
9. 付属資料.....	15


● はじめに

この度は Arria II GX FPGA ボード ACM-025 シリーズをお買い上げいただきまして、誠にありがとうございます。

ACM-025 は、ALTERA 社の高性能 FPGA Arria II GX シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション ROMなどを装備した、使いやすいボードになっています。SIF40 コネクタを搭載しており、高速トランシーバの評価にもご活用いただけます。どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。

 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
13 静電気にご注意ください。	

● 改訂記録

日付	バージョン	改訂内容
2011/11/09	1.0	・ 初版発行
2011/12/19	1.1	・ 製品画像の差替え
2011/12/21	1.2	・ ブロック図を修正 ・ 4.3. 電源：誤植修正

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

FPGA ボード ACM-025	1
付属品	1
マニュアル（本書）	1 *
ユーザ登録はがき	1 *

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツールが必要です。これらの開発ツールは、ALTERA 社が無償配布する QuartusII がご使用頂けます。使用する際には、インターネットによるライセンス登録が必要となります。ライセンスが不用のウェブエディションもご使用頂けます (GX45 のみ)

本マニュアルは QuartusII Ver. 11.0 を元に作成しています。

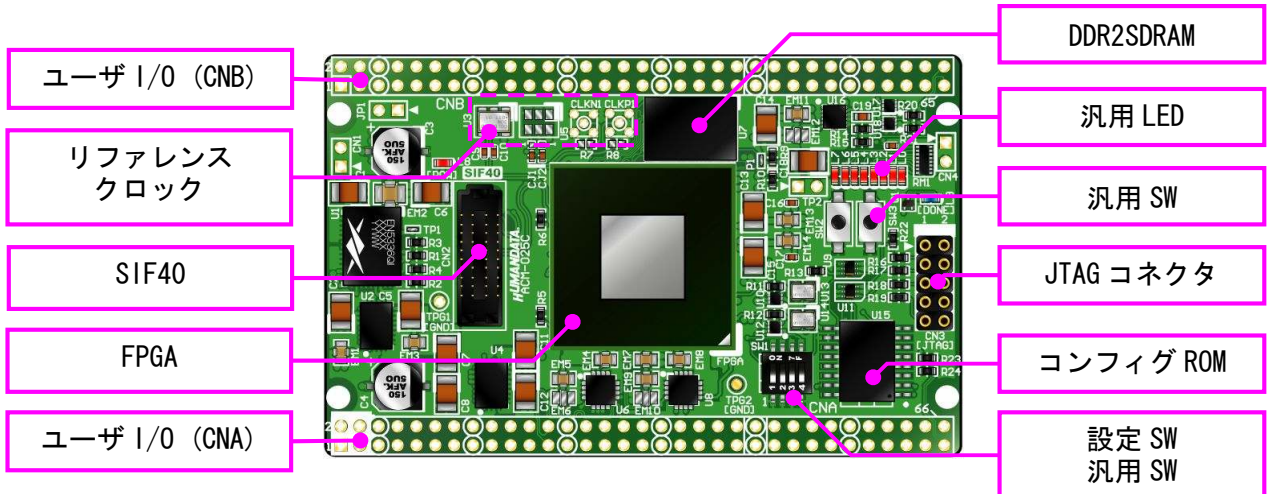
3. 仕様

製品型番	ACM-025-GX45	ACM-025-GX65	ACM-025-GX95	ACM-025-GX125
搭載 FPGA	EP2AGX45 DF25C6N	EP2AGX65 DF25C6N	EP2AGX95 DF25C6N	EP2AGX125 DF25C6N
コンフィグ ROM	EPCS64SI16N (ALTERA, 64Mbit)			
DDR2 SDRAM	MT47H64M16HR-3:H (Micron, 1Gbit)			
オンボードクロック	50MHz、30MHz 125MHz (ALTGX リファレンスクロック)			
外部入力クロック	ユーザ I/O (IOA-48/49, IOB-48/49) MMCX (ALTGX リファレンスクロック用、不実装)			
電源	DC 3.3[V]			
基板寸法	86 x 54 [mm]			
質量	約 32 [g]			
ユーザ I/O	100 本			
汎用スイッチ	4 (Push x2, DIP x2)			
汎用 LED	8			
I/O コネクタ	66 ピンスルーホール 1.0[mmφ] 2.54[mm]ピッチ			
プリント基板	ガラスエポキシ 10 層基板 1.6t			
リセット信号	コンフィグ用リセット信号 (typ. 240ms)			
JTAG コネクタ	DIL10 ピンソケット 2.54mm ピッチ			
ステータス LED	POWER (赤), DONE (青)			
消費電流	FPGA デザインに依存します			
付属品	DIL10 ロングピンヘッダ (本体に取付け済み) x1			
	DIL80 ピンヘッダ (任意にカット可能) x2			

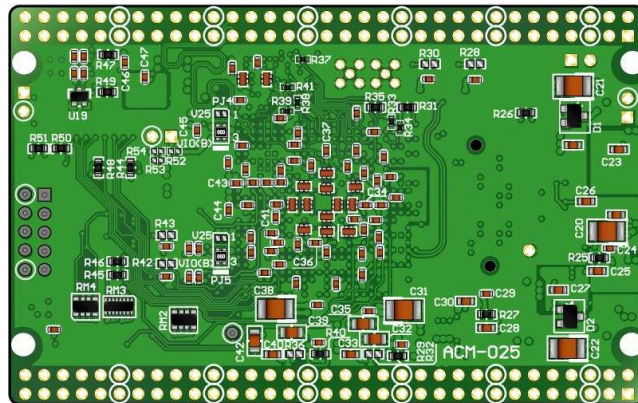
*これらの部品や仕様は変更となる場合がございます

4. 製品説明

4.1. 各部名称

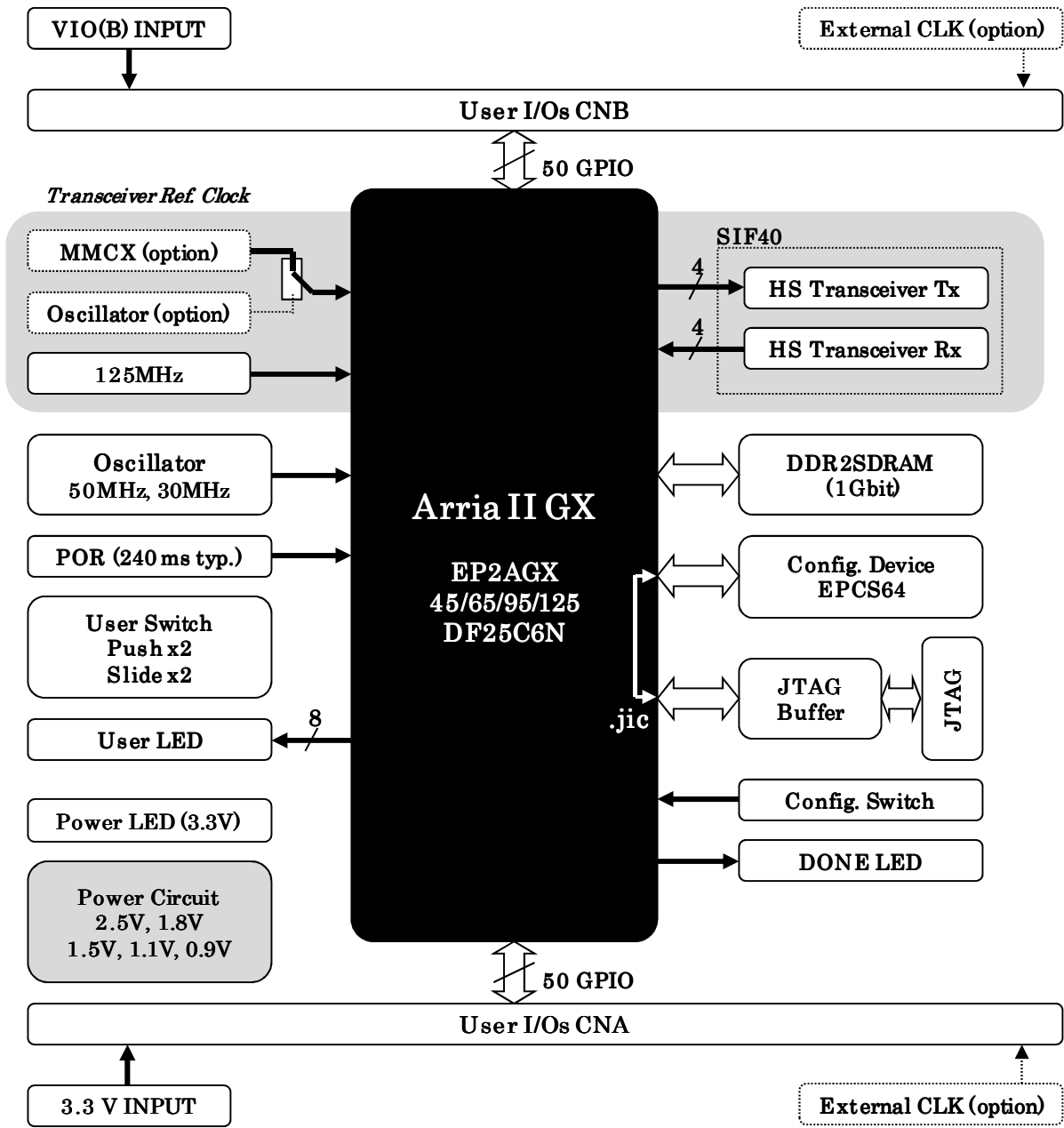


部品面



はんだ面

4.2. ブロック図



ACM-025 Rev.C

4.3. 電源

電源は CNA より 3.3V を供給してください。CNB (V10 (B)) には設計に合った値を供給してください。BANK B の Vccio はボード上の 3.3V (V33A) と接続されていません。PJ4, PJ5 を切り替えることによりオンボードの 2.5V を供給することが可能です。

内部で必要になる 2.5V、1.8V、1.5V、1.1V、0.9V はオンボードレギュレータにより生成されます。外部から供給する 3.3V 電源は充分安定して、余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

詳しくは製品回路図をご参照ください。

4.4. クロック

オンボードクロックとして 50MHz (U8) と 30MHz (U7) を搭載しています。コネクタ CNA、CNB より外部クロックを入力することも可能です。

ハイスピードトランシーバのリファレンスクロック入力用に、MMCX を取り付けることも出来ます。詳しくは製品回路図をご参照ください。

4.5. 設定スイッチ (SW1)

設定スイッチによりコンフィギュレーションモードなどを変更することが可能です。ここでは一般的に使用する一部のモードを掲載しています。ON は Low、OFF は High となります。

SW1

番号	1	2	3	4
ネット	ASW1	ASW2	nI0_pullup	MSELO
出荷時	OFF	OFF	OFF	ON
説明	汎用		プルアップ設定	コンフィグ設定

コンフィギュレーションモード	MSELO の設定
PS (Passive Serial)	ON
AS (Active Serial)	OFF

- **nI0_pullup**
コンフィギュレーション前のユーザ I/O と一部制御ピンの状態を設定します
 - ・ ON : 内部プルアップ抵抗を有効にします
 - ・ OFF : 内部プルアップ抵抗を無効にします
- **MSELO**
FPGA のコンフィギュレーションモードを設定します
 - ◆ Passive Serial (PS) モード : JTAG アクセスの際に設定してください
 - ◆ Active Serial (AS) モード : 下記の場合に設定してください
 - ・ コンフィグ ROM にアクセスする (データ書込み、消去など)
 - ・ コンフィグ ROM から FPGA をコンフィギュレーションする (電源投入時)



5. High Speed Serial Transceiver (ALTGX)

High Speed Serial Transceiver (ALTGX) 信号を SIF40(*) コネクタ (CN2) に引き出しております。弊社アクセサリ ACC-009/010 等を使用して SMA/MMCX コネクタより信号を外部に引き出してご利用ください。アクセサリ使用時のピンアサインについては各アクセサリの製品資料 (ピンリスト) をご参照ください。

リファレンスクロックには 125MHz (U3) を搭載しています。MMCX コネクタより外部リファレンスクロックを供給することも可能です。(コネクタは標準不実装)

詳しくは回路図をご参照ください。



(*)SIF40 とは、ヒューマンデータ製 FPGA ボードの高速トランシーバのために定められた共通 I/F 仕様です。詳しくはウェブサイトをご覧ください。

6. FPGA コンフィギュレーション

JTAG コネクタ (CN3) よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。JTAG コネクタのピン配置は次表のとおりです。

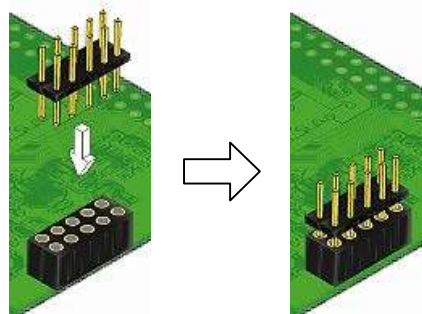
ケーブル接続時は誤接続に注意してください。



CN3

ネットラベル	ダウンロード ケーブル信号名	ピン番号		ダウンロード ケーブル信号名	ネットラベル
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

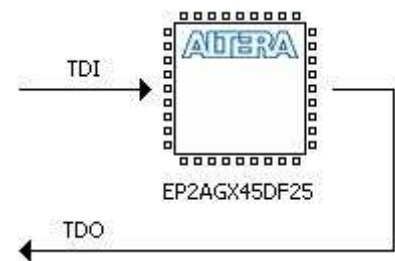
ダウンロードケーブルの接続には、付属のロングピンヘッダをご利用ください。



使用例

6.1. JTAG/バウンダリスキャン

FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに sof ファイルを割りつけてプログラマを実行します。コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。



6.2. コンフィグ ROM アクセスファイル (jic ファイル) の作成

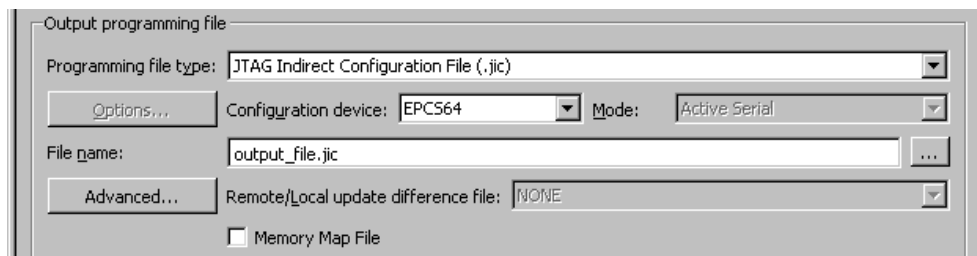
コンフィギュレーション ROM へ書き込むためには jic (JTAG Indirect Configuration) ファイルが必要となります。作成手順を以下に示します。

- (1) QuartusII の【File】から、【 Convert Programming Files..】をクリックします

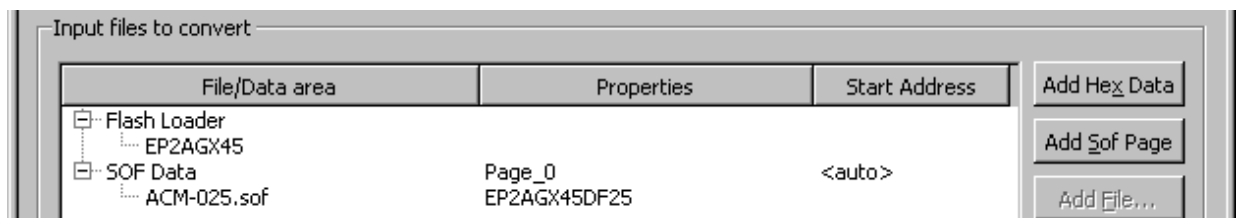


- (2) 設定画面にて必要な項目を設定します

- 【Programming File type】 : JTAG Indirect Configuration File (.jic)
- 【Configuration device】 : EPCS64
- 【File name】 : 任意
- 【Memory Map File】 : チェック無し



- (3) 【Flash Loader】を選択し【Add Device..】をクリックします
- (4) 搭載デバイスを選択し【OK】をクリックします
- (5) 【SOF Data】を選択し【Add File...】をクリックします
- (6) 変換する sof データを選択し【OK】をクリックします



- (7) 【Generate】をクリックします

6.3. コンフィグ ROM アクセス

作成した jic ファイルでコンフィギュレーション ROM にデータを書き込みます。コンフィギュレーションモードは AS モードに設定しておく必要があります。イレースも同様の手順で可能です。

- (1) 【Add File...】をクリックし jic ファイルを選択します
- (2) 【Program/Configure】にチェックを入れ、【Start】をクリックします

File	Device	Checksum	Usercode	Program/ Configure	Verify
Factory default enhanced...	EP4CGX50	003F7D98	FFFFFFFF	<input checked="" type="checkbox"/>	<input type="checkbox"/>
...output_file.jic	EPC564	5636627D		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>

7. FPGA ピン割付表

FPGA の BANK は下表のように「BANK Group」にまとめられています。Group A の Vccio は CNA より供給する V33A (3.3V) 固定です。Group B の Vccio には CNB より設計に合った値を供給できます。

配線長は Web サポートページよりピン割付表をご参照ください。

FPGA BANK	Vccio	NET LABEL	BANK Group	メモ
3A	VCC103A	V18	-	DDR2SDRAM
5A	VCC105A	V10(B)	B	V25 への切り替えが可能
6A	VCC106A	V10(B)	B	V25 への切り替えが可能
7A	VCC107A	V33_A	A	-
8A	VCC108A	V33_A	A	-

7.1. ユーザ I/O (CNA)

BANK Group	NET LABEL	FPGA ピン	CNA ピン#		FPGA ピン	NET LABEL	BANK Group
	V33_A	-	1	2	-	V33_A	
		電源予約	3	4	電源予約		
		GND	5	6	GND		
A	IOA0	H16	7	8	G16	IOA1	A
A	IOA2	F15	9	10	E15	IOA3	A
A	IOA4	A20	11	12	A19	IOA5	A
A	IOA6	G14	13	14	F14	IOA7	A
		GND	15	16	GND		
A	IOA8	C19	17	18	B18	IOA9	A
A	IOA10	A18	19	20	A17	IOA11	A
A	IOA12	C16	21	22	B16	IOA13	A
A	IOA14	B13	23	24	A13	IOA15	A
		GND	25	26	GND		
A	IOA16	A16	27	28	A15	IOA17	A
A	IOA18	B15	29	30	A14	IOA19	A
A	IOA20	A12	31	32	A11	IOA21	A
A	IOA22	G13	33	34	F13	IOA23	A
		GND	35	36	GND		
A	IOA24	C15	37	38	D15	IOA25	A
A	IOA26	D14	39	40	C13	IOA27	A
A	IOA28	C12	41	42	B12	IOA29	A
A	IOA30	E12	43	44	D12	IOA31	A
		GND	45	46	GND		
A	IOA32	A6	47	48	A5	IOA33	A
A	IOA34	G11	49	50	G10	IOA35	A
A	IOA36	F9	51	52	E9	IOA37	A
A	IOA38	G8	53	54	F8	IOA39	A
		GND	55	56	GND		A
A	IOA40	B9	57	58	A9	IOA41	A
A	IOA42	D10	59	60	C10	IOA43	A
A	IOA44	A8	61	62	A7	IOA45	A
A	IOA46	D9	63	64	C9	IOA47	A
A	IOA48 *1	B7	65	66	B6	IOA49 *2	A

(*1) 抵抗 (R24) を介して CLK_EXAP に接続されています

(*2) 抵抗 (R23) を介して CLK_EXAN に接続されています

7.2. ユーザ I/O (CNB)

BANK Group	NET LABEL	FPGA ピン	CNB ピン#		FPGA ピン	NET LABEL	BANK Group
	V10 (B)	–	1	2	–	V10 (B)	
		電源予約	3	4	電源予約		
		GND	5	6	GND		
B	I0B0	N6	7	8	N7	I0B1	B
B	I0B2	R7	9	10	P7	I0B3	B
B	I0B4	U6	11	12	T6	I0B5	B
B	I0B6	V6	13	14	V7	I0B7	B
		GND	15	16	GND		
B	I0B8	Y1	17	18	W1	I0B9	B
B	I0B10	Y3	19	20	W3	I0B11	B
B	I0B12	V4	21	22	V5	I0B13	B
B	I0B14	Y4	23	24	W4	I0B15	B
		GND	25	26	GND		
B	I0B16	W2	27	28	V3	I0B17	B
B	I0B18	AB1	29	30	AA1	I0B19	B
B	I0B20	AB4	31	32	AA4	I0B21	B
B	I0B22	AD3	33	34	AD2	I0B23	B
		GND	35	36	GND		
B	I0B24	AC4	37	38	AC3	I0B25	B
B	I0B26	AC1	39	40	AB2	I0B27	B
B	I0B28	AB5	41	42	AA5	I0B29	B
B	I0B30	AB3	43	44	AA3	I0B31	B
		GND	45	46	GND		
B	I0B32	P1	47	48	N1	I0B33	B
B	I0B34	L1	49	50	K1	I0B35	B
B	I0B36	J1	51	52	H1	I0B37	B
B	I0B38	F1	53	54	E1	I0B39	B
		GND	55	56	GND		
B	I0B40	M3	57	58	M4	I0B41	B
B	I0B42	M1	59	60	N2	I0B43	B
B	I0B44	L3	61	62	L4	I0B45	B
B	I0B46	K2	63	64	K3	I0B47	B
B	I0B48 *1	D1	65	66	D2	I0B49 *2	B

(*1) 抵抗 (R21) を介して CLK_EXBP, CLK_EXP に接続されています

(*2) 抵抗 (R20) を介して CLK_EXBN, CLK_EXN に接続されています

7.3. DDR2 SDRAM (U11)

RAM Pin Name	NET LABEL	FPGA ピン
A0	DDR_A0	AA14
A1	DDR_A1	AD15
A2	DDR_A2	AA15
A3	DDR_A3	AB18
A4	DDR_A4	AA16
A5	DDR_A5	AD16
A6	DDR_A6	AB16
A7	DDR_A7	AC18
A8	DDR_A8	AB14
A9	DDR_A9	AD18
A10	DDR_A10	AC15
A11	DDR_A11	AA18
A12	DDR_A12	AD19
A13/RFU	DDR_A13	AB21
A14/RFU	-	-
A15/RFU	-	-
BA0	DDR_BA0	AB15
BA1	DDR_BA1	W15
BA2/RFU	DDR_BA2	Y16
DQ0	DDR_DQ0	AD9
DQ1	DDR_DQ1	AD12
DQ2	DDR_DQ2	AA12
DQ3	DDR_DQ3	AB13
DQ4	DDR_DQ4	AC13
DQ5	DDR_DQ5	AD10
DQ6	DDR_DQ6	AC12
DQ7	DDR_DQ7	W11
DQ8	DDR_DQ8	AB8
DQ9	DDR_DQ9	AC9
DQ10	DDR_DQ10	AD8
DQ11	DDR_DQ11	V9
DQ12	DDR_DQ12	AB10
DQ13	DDR_DQ13	AD6
DQ14	DDR_DQ14	AA10
DQ15	DDR_DQ15	AC6

RAM Pin Name	NET LABEL	FPGA ピン
LDQS	DDR_LDQS	AA11
LDQS#	DDR_LDQS_N	AB11
UDQS	DDR_UDQS	AA7
UDQS#	DDR_UDQS_N	AB7
LDM	DDR_LDM	W12
UDM	DDR_UDM	W10
RAS#	DDR_RAS	W13
CAS#	DDR_CAS	AB17
WE#	DDR_WE	V15
CK	DDR_CK_P	AA6
CK#	DDR_CK_N	AB6
CKE	DDR_CKE	AD21
ODT	DDR_ODT	V13
CS#	DDR_CSN	Y15

7.4. SIF40 (CN4)

ピン番号	信号名	FPGA ピン
A1	GXB_TX1P	V21
B1	GXB_TX1N	V22
C1	GND	-
D1	GND	-
E1	GXB_RXOP	AA23
F1	GXB_RXON	AA24
G1	GND	-
H1	GND	-
J1	GXB_TX3N	M22
K1	GXB_TX3P	M21
A2	GND	-
B2	GND	-
C2	GXB_RX1N	W24
D2	GXB_RX1P	W23
E2	GND	-
F2	GND	-
G2	GXB_RX3N	N24
H2	GXB_RX3P	N23
J2	GND	-
K2	GND	-

ピン番号	信号名	FPGA ピン
A3	GXB_TXOP	Y21
B3	GXB_TXON	Y22
C3	GND	-
D3	GND	-
E3	GXB_RX2P	R23
F3	GXB_RX2N	R24
G3	GND	-
H3	GND	-
J3	GXB_TX2N	P22
K3	GXB_TX2P	P21
A4	GND	-
B4	GND	-
C4	VCC	-
D4	VCC	-
E4	GND	-
F4	GND	-
G4	VCC	-
H4	VCC	-
J4	GND	-
K4	GND	-

弊社アクセサリ ACC-009/010 等を使用して SMA/MMCX コネクタより信号を外部に引き出してご利用ください。アクセサリ使用時のピンアサインについては各アクセサリの製品資料（ピン割付表）をご参照ください。

7.5. オンボードクロック

周波数	NET LABEL	FPGA ピン
30MHz	GCLK30_A	C11
	GCLK30_B	P3
50MHz	GCLK50_A	D11
	GCLK50_B	P4

7.6. 外部クロック入力

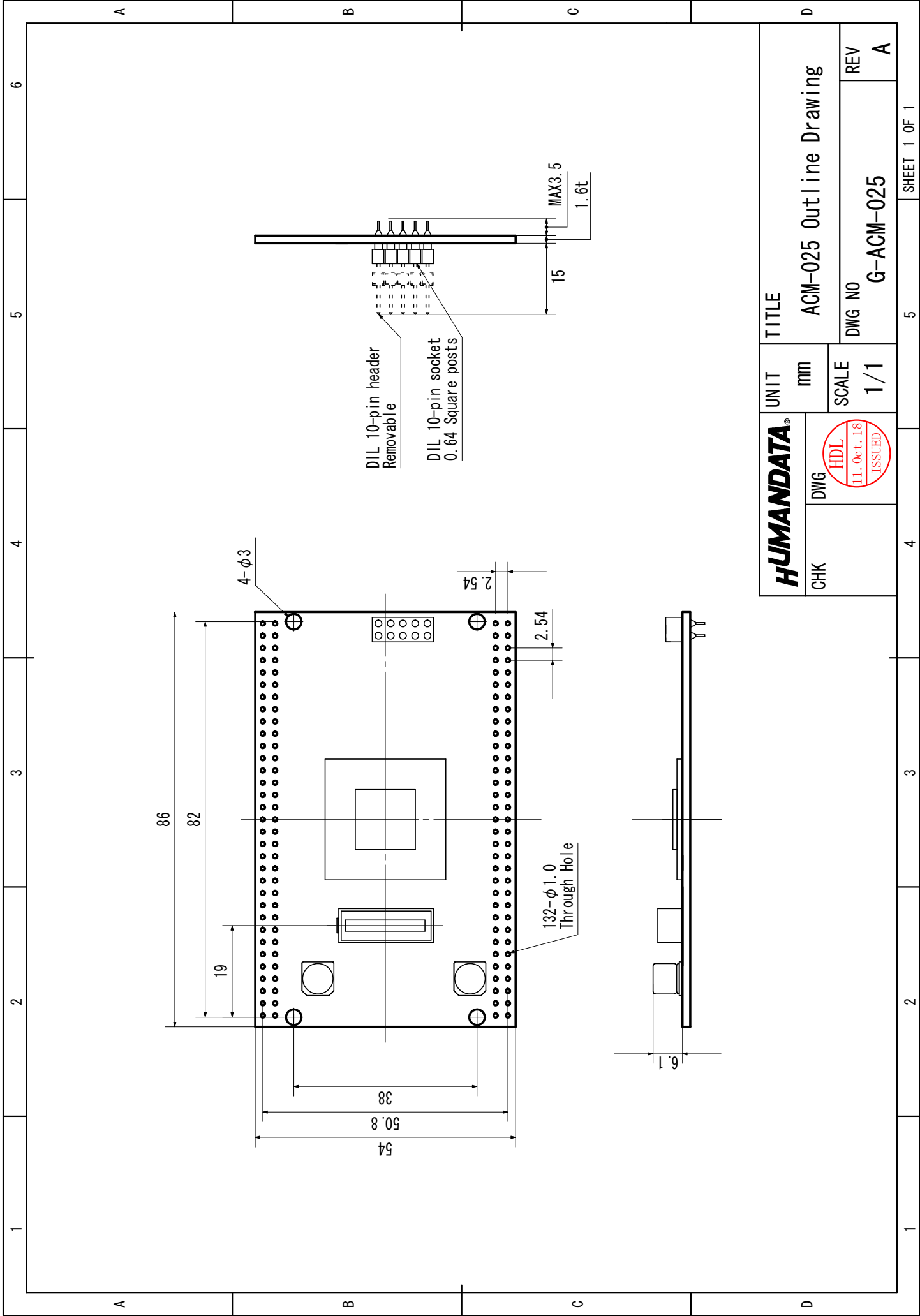
コネクタ	NET LABEL	FPGA ピン
CNA_65	CLK_EXAN	F11
CNA_66	CLK_EXAP	F12
CNB_65	CLK_EXBP	N4
	CLK_EXP	Y13
CNB_66	CLK_EXBN	N3
	CLK_EXN	AA13

7.7. 汎用LED

LED	NET LABEL	FPGA ピン
L0	ULED0	A4
L1	ULED1	A3
L2	ULED2	D6
L3	ULED3	A2
L4	ULED4	B3
L5	ULED5	B4
L6	ULED6	C6
L7	ULED7	C4

7.8. 汎用スイッチ

SW	NET LABEL	FPGA ピン
SW2	PSW2	D8
SW3	PSW3	D7
SW1 [1]	ASW1	C7
SW1 [2]	ASW2	E10



DIL 10-pin header
Removable

DIL 10-pin socket
0.64 Square posts

HUMANDATA		UNIT	TITLE
CHK	DWG	mm	ACM-025 Outline Drawing
		SCALE	DWG NO
		1/1	G-ACM-025
			REV
			A

Arria II GX FPGA ボード
ACM-025 シリーズ
ユーザーズマニュアル

2011/11/09 Ver.1.0 (初版)
2011/12/19 Ver.1.1

2011/12/21 Ver.1.2

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
