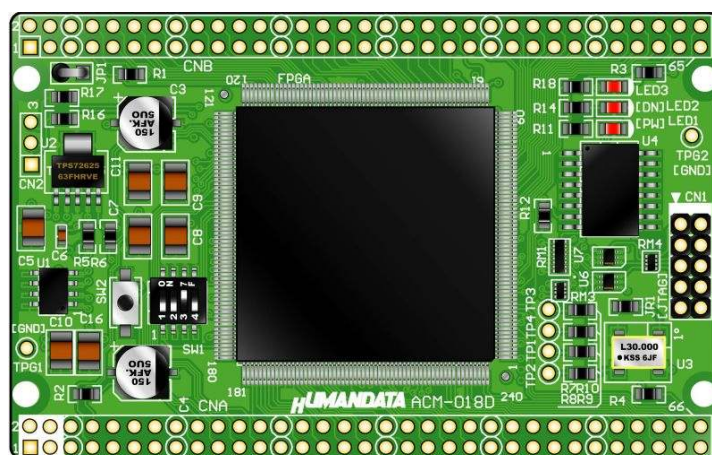




CycloneⅢ ブレッドボード
ACM-018 シリーズ
ユーザーズマニュアル
第 3 版 (Rev2)



ヒューマンデータ

目次



はじめに.....	1
ご注意.....	1
改訂記録.....	2
1. 製品の内容について.....	2
2. 仕様.....	2
3. 製品概要.....	3
3.1. 各部の名称.....	3
3.2. ブロック図.....	4
3.3. 電源入力.....	4
3.4. JTAG コネクタ.....	5
4. FPGA のコンフィギュレーション.....	6
5. コンフィギュレーション ROM への書込み.....	8
5.1. jic ファイルの作成.....	8
5.2. コンフィギュレーション ROM に ISP (書込み).....	11
5.3. ROM から FPGA へコンフィギュレーション.....	12
6. ジャンプスイッチの説明.....	13
7. ピン割付表.....	14
7.1. CNA.....	14
7.2. CNB.....	15
7.3. オンボード CLK.....	16
7.4. 外部入力 CLK.....	16
7.5. 汎用 LED.....	16
7.6. 汎用スイッチ.....	16
7.7. その他.....	16
8. 固定ピンについて 【重要】	17
9. ACM-018 シリーズ 参考資料について.....	18
10. 付属資料.....	18

はじめに

この度は、CycloneⅢブレッドボード／ACM-018 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-018 シリーズは、アルテラ社の高性能 FPGA である CycloneⅢを用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した、使いやすいボードになっています。どうぞご活用ください。

ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れしないでください。
	5	定格を越える電源を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7	本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承願います。
	13	静電気にご注意ください。

改訂記録

版	日付	内容
2	2008年7月16日	バッファ IC の追加 U7 (SN74LVC2G17DCKR)
3	2009年9月7日	抵抗アレイの追加 RM3、4

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード ACM-018 シリーズ	1
付属品	1
マニュアル (本書)	1*
ユーザー登録はがき	1*

* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます。)

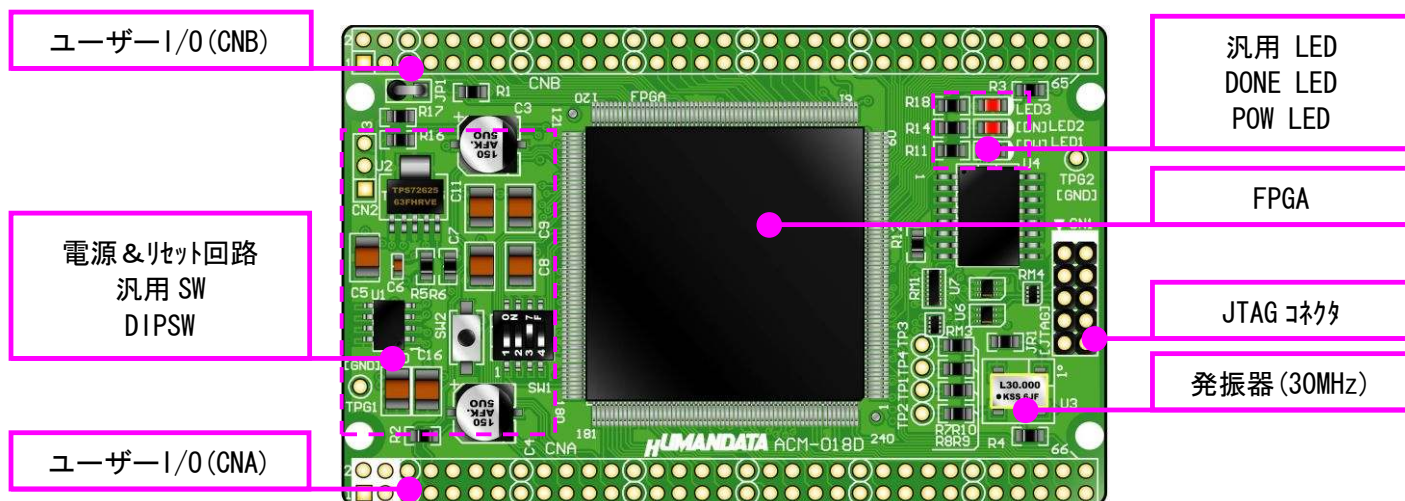
2. 仕様

製品型番	ACM-018-16C8	ACM-018-40C8
搭載 FPGA	EP3C16Q240C8N	EP3C40Q240C8N
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)	
消費電流	N/A (詳細は FPGA データシートご参照)	
外形寸法	86×54 [mm]	
質量	約 29 [g]	
ユーザ I/O	100 本	
I/O コネクタ	66 ピンスルーホール 0.9 [mmΦ]×2 組 2.54mm ピッチ	
プリント基板	ガラスエポキシ 4 層基板 1.6t	
コンフィギュレーション ROM	EPCS16S116N (ALTERA)	
クロック	オンボード 30MHz 外部供給可能	
リセット回路	内蔵 (200ms TYP)	
JTAG コネクタ	DIP10 ピン 丸ピンソケット 2.54mm ピッチ	
ステータス LED	2 個 (POWER-LED, DONE-LED)	
汎用 LED	1 個	
汎用スイッチ	1 個	
付属品	DIP10 ピンヘッダ 1 個 (本体に取付け済み) * DIP80 ピンヘッダ 2 個 (任意にカット可能) *	

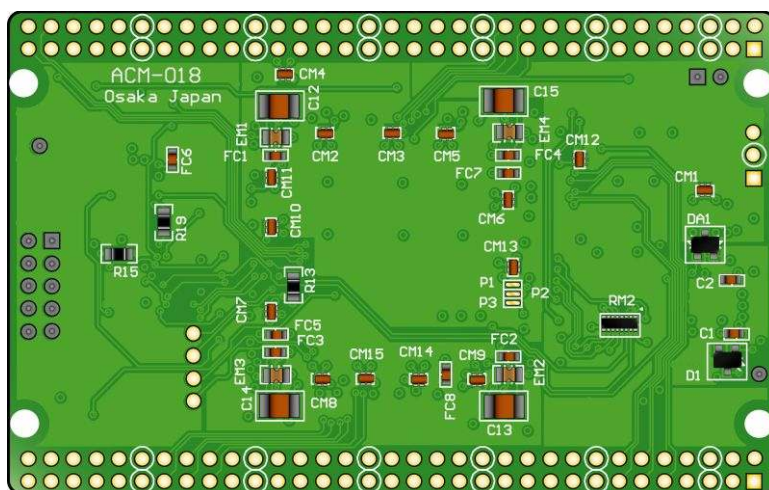
* 互換品に変更されることがあります

3. 製品概要

3.1. 各部の名称

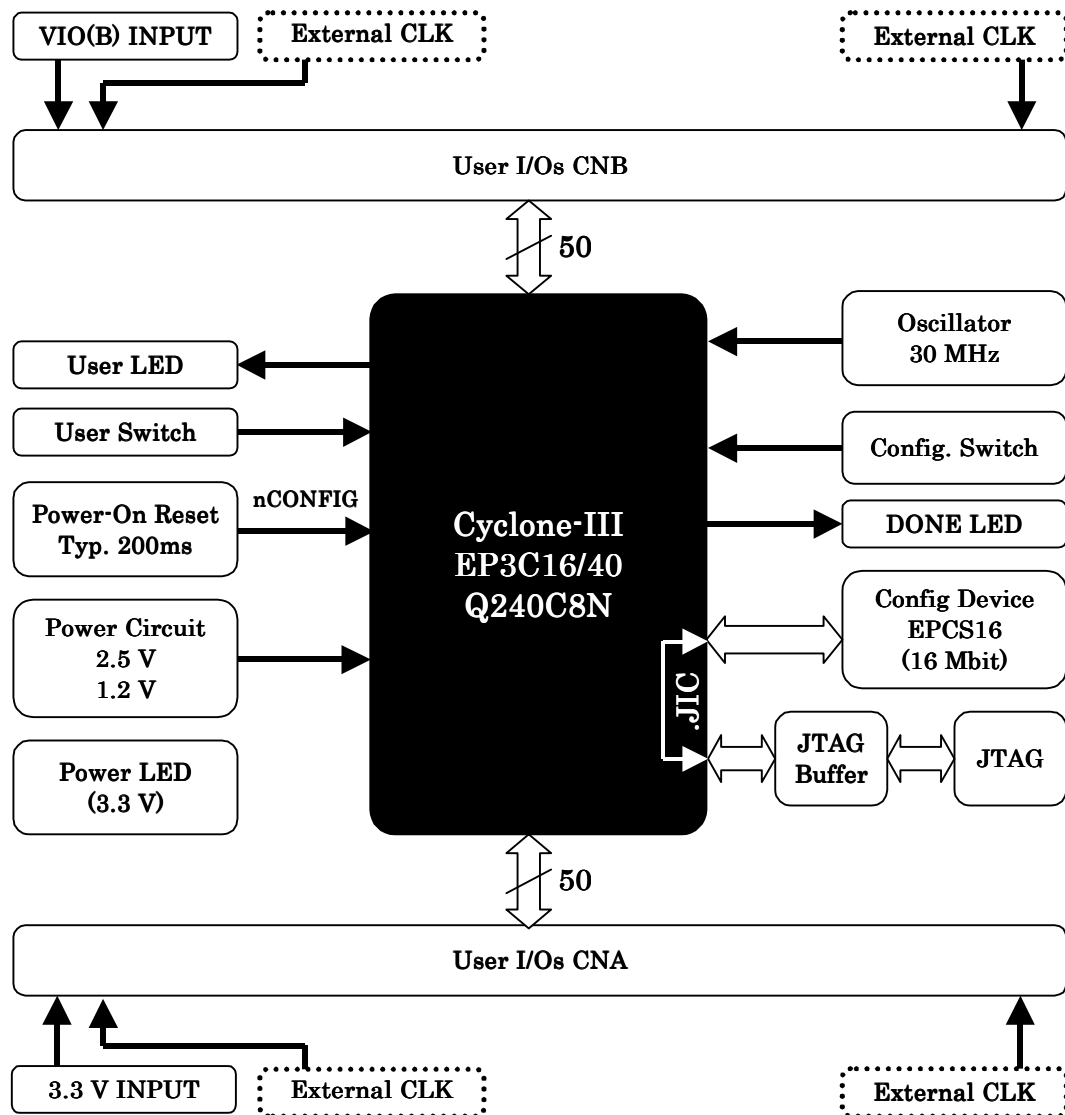


部品面



はんだ面

3.2. ブロック図



3.3. 電源入力

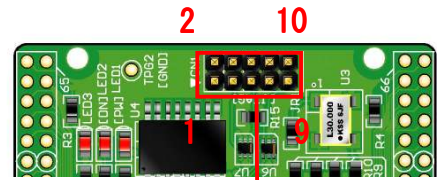
本ボードは、DC 3.3V 単一電源で動作します。
外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

※

電源は CNA、CNB から **太い配線** で供給してください。
電源、GND はすべてのピンに接続することをお勧めします

3.4. JTAG コネクタ

FPGA へのコンフィギュレーション及び
コンフィギュレーションROMのISPに
使用します。
ピン配置は次表のとおりです。



JTAG コネクタ

CN1

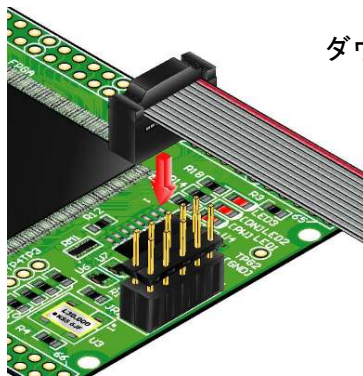
回路図上信号名	ダウンロードケーブル 信号名	ピン番号		ダウンロードケーブル 信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブルBL3、BLKITの10ピンコネクタと1:1
で対応しています。

ALTERA社の純正ケーブルを用いることもできます。

また、ダウンロードケーブルと本品との接続には付属品DIP10ピンヘッ
ダをご利用できます

使用例



ダウンロードケーブル

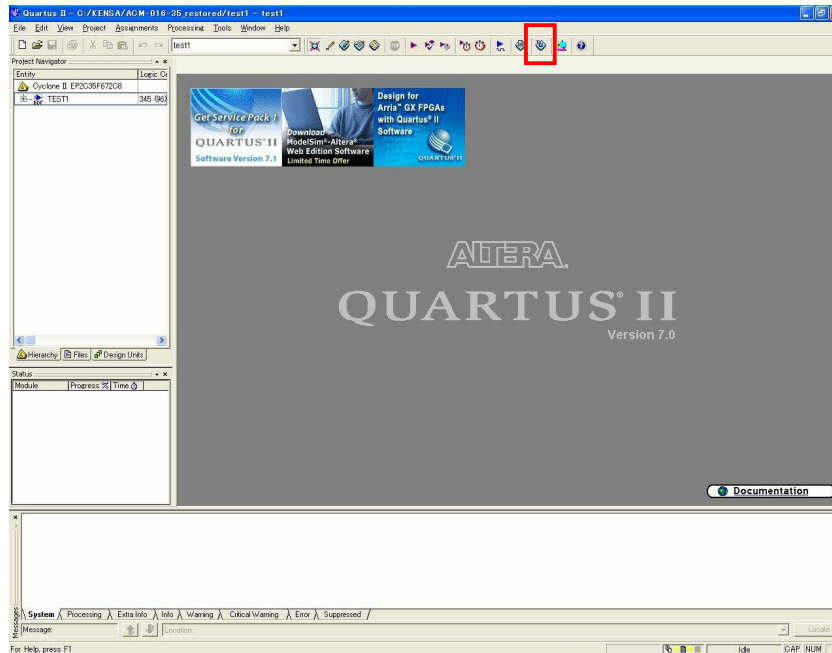
注意

ダウンロードケーブルを接続する場合、逆差しにご注意ください

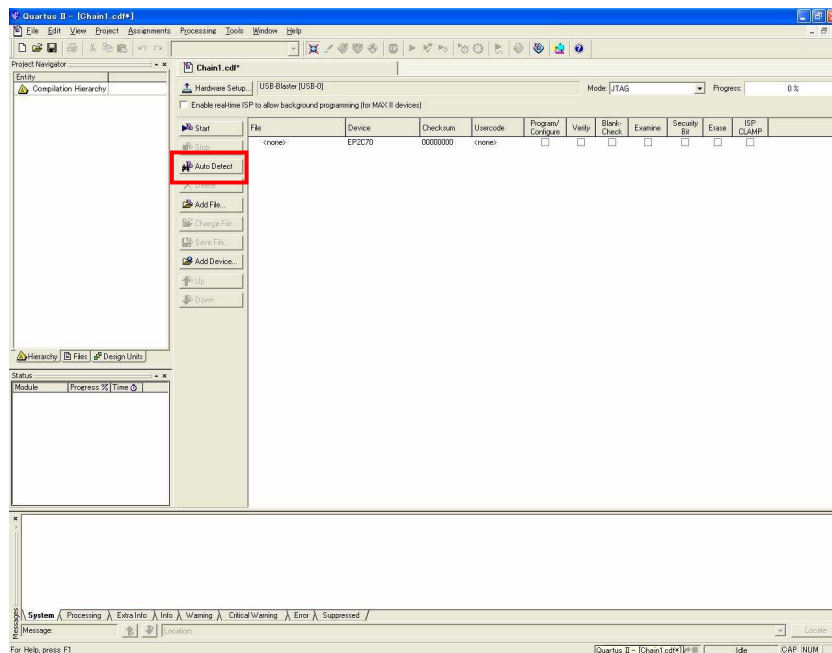
4. FPGA のコンフィギュレーション

FPGA にコンフィギュレーションする方法を下記に示します。

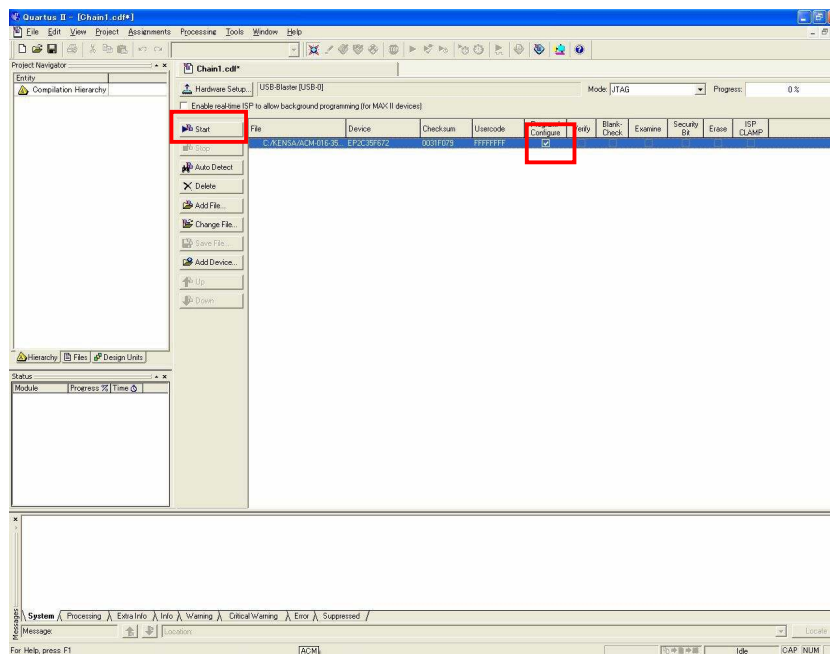
- ▼ Quartus II を起動し【Programmer】をクリックします。



- ▼ 【Auto Detect】をクリックします。
ファイル名が【none】になっているので【none】部分をダブルクリックしコンフィギュレーションするファイルを指定します。(sof ファイル)



- ▼ 【Program/Configure】 にチェックを入れ 【Start】 をクリックします。



正常にコンフィギュレーションが出来れば ACM-018 のボード上の LED2 が点灯します。

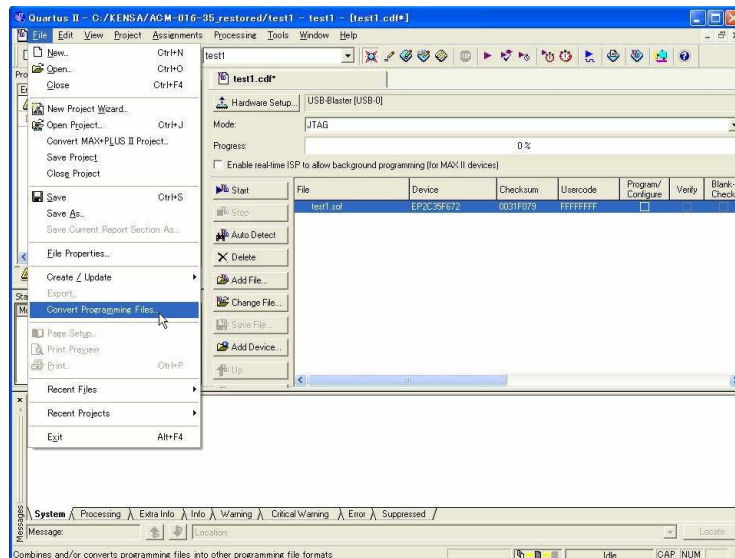
5. コンフィギュレーション ROM への書込み

ACM-018 にはコンフィギュレーション ROM (EPCS16) が実装されています。コンフィギュレーション ROM に ISP するためには QuartusII により .jic ファイルを作成します。

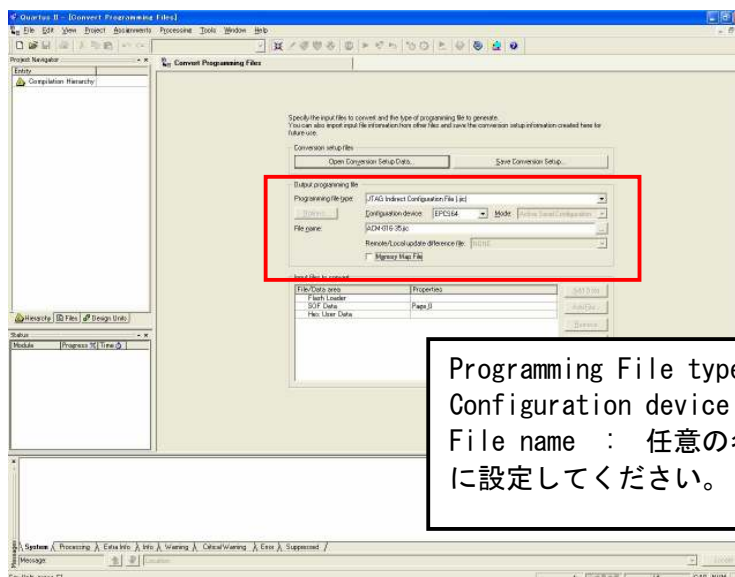
5.1. jic ファイルの作成

JIC ファイルは JTAG より FPGA を用いてコンフィギュレーション ROM へ書き込むためのファイルです。

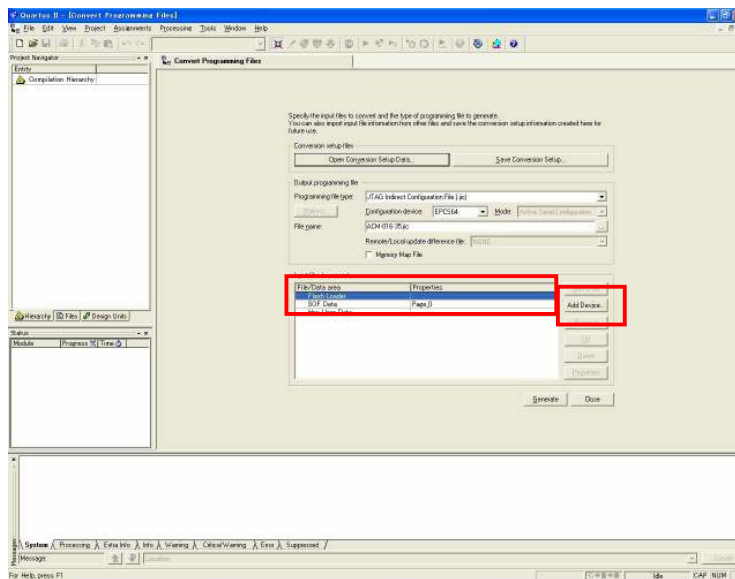
- ▼ QuartusII を起動し【FILE/Convert Programming Files】をクリックします。



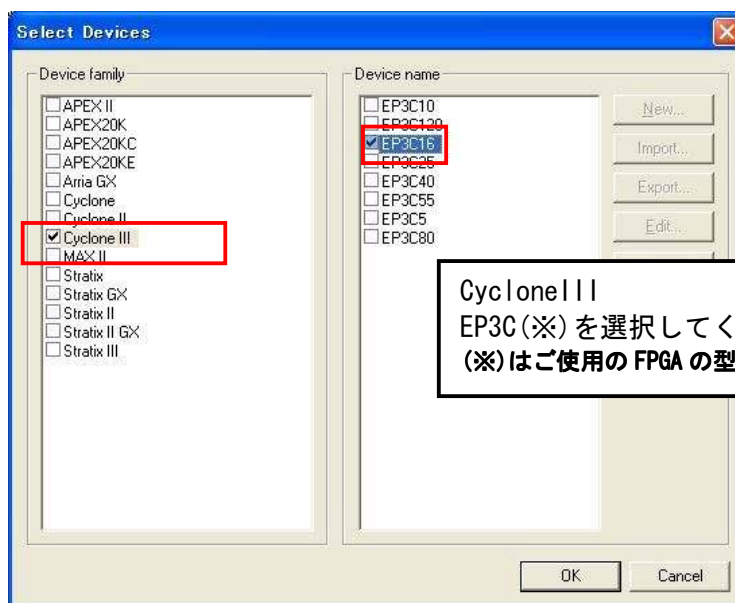
- ▼ 次に【Programming File type】【Configuration device】【File name】を下記のとおり指定し【Memory Map File】のチェックを外します。



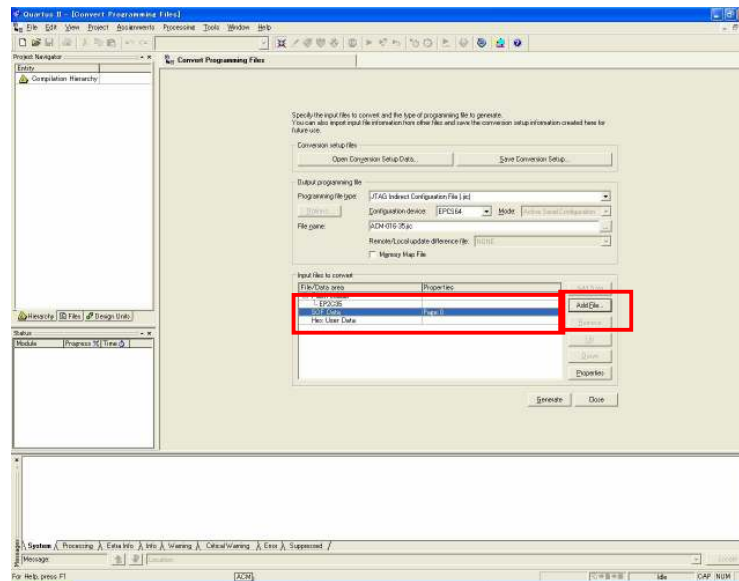
- ▼ 【Flash Loader】を選択し【Add Device...】をクリックしてください。



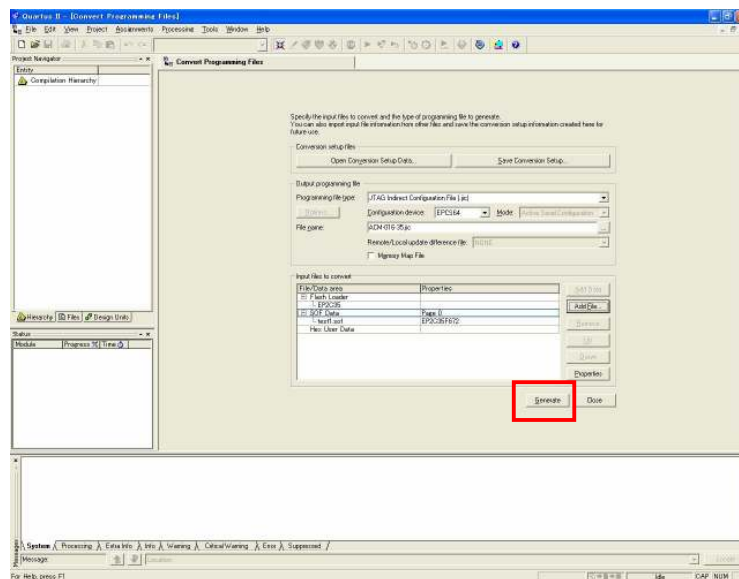
- ▼ お使いの機種種のデバイスを選択し【OK】をクリックします。



- ▼ 次に【SOF Data】を選択し【Add Files...】をクリックし SOF データを割り当ててください。



- ▼ 【Generate】をクリックしてください。



これで .jic ファイルができました。

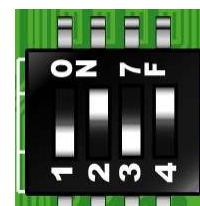
5.2. コンフィギュレーション ROM に ISP (書込み)

FPGA にコンフィギュレーションし十分に動作の確認をしてから ROM に ISP するよにしてください。

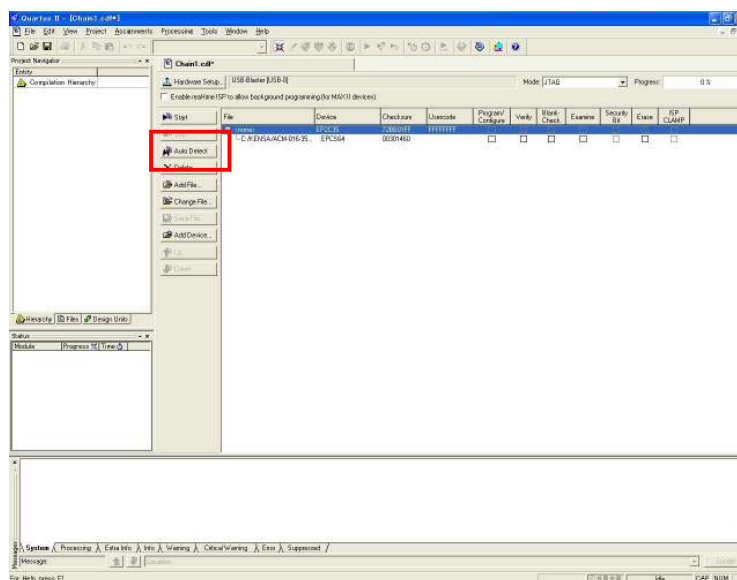
ROM に ISP する際、DIPSW の設定が必要です。
DIPSW (SW1) の設定を下記のように設定してください。

SW1

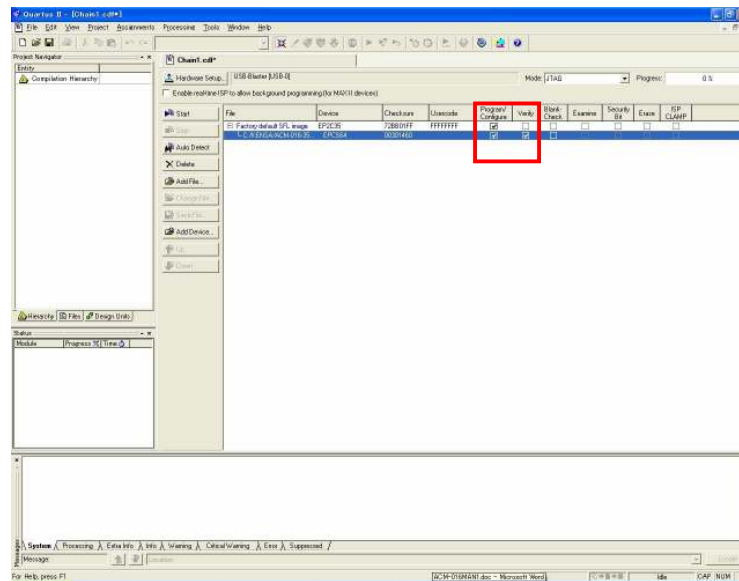
	S1	S2	S3	S4
ON		<input type="checkbox"/>		<input type="checkbox"/>
OFF	<input type="checkbox"/>		<input type="checkbox"/>	



- ▼ 5.1 項で作成した .jic ファイルを使用します【Auto Detect】をクリックし .jic ファイルを指定してください。



- ▼ 【Program/Configure】と【Verify】にチェックをいれ【Start】をクリックしてください。

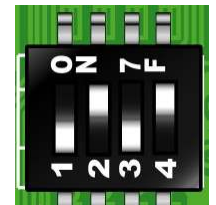


5.3. ROM から FPGA ヘコンフィギュレーション

FPGA にコンフィギュレーションし十分に動作の確認をしてから ROM に ISP するよにしてください。

ROM から FPGA にコンフィギュレーションする際、DIPSW の設定が必要です。DIPSW (SW1) の設定を下記のように設定してください。

SW1	S1	S2	S3	S4
ON		<input type="checkbox"/>		<input type="checkbox"/>
OFF	<input type="checkbox"/>		<input type="checkbox"/>	



設定が終了しましたら、電源を入れなおすと ROM から FPGA ヘコンフィギュレーションされます。

6. ジャンプスイッチの説明

SW1 は FPGA の MSEL0, MSEL1, MSEL2 を設定します。

CycloneIII のコンフィギュレーション手法

コンフィギュレーション・モード	MSEL2	MSEL1	MSEL0
PS モード	0	0	0
AS モード	0	1	0
JTAG	不定	不定	不定

メモ

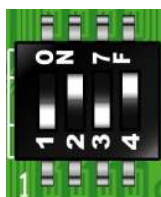
詳しくは ALTERA 社最新データシートをご覧ください。

SW1 MSEL0, MSEL1, MSEL2 信号 設定用

番号	S1	S2	S3	S4
NET_LABEL	PSW1	MSEL2	MSEL1	MSEL0
出荷時	OFF	OFF	OFF	OFF
説明	汎用	モードセレクトピン		

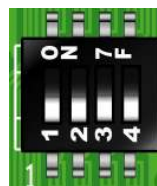
ROM 使用時 : SW1 (S2, S4 ON)

MSEL0 = 0
MSEL1 = 1
MSEL2 = 0



JTAG 使用時 : SW1 (SW1 の状態に影響されません)

MSEL0 = 0
MSEL1 = 0
MSEL2 = 0



(出荷時)

メモ

出荷時はすべて OFF の設定になっています。

7. ピン割付表

7.1. CNA

BANK	NET LABEL	FPGA pin #	CNA pin #		FPGA pin #	NET LABEL	BANK
		3.3V	1	2	3.3V		
		電源予約	3	4	電源予約		
	GND	GND	5	6	GND	GND	
A	IOA0 *1	126	7	8	127	IOA1	A
A	IOA2	128	9	10	131	IOA3	A
A	IOA4	132	11	12	133	IOA5	A
A	IOA6	134	13	14	135	IOA7	A
	GND	GND	15	16	GND	GND	
A	IOA8	137	17	18	139	IOA9	A
A	IOA10	142	19	20	143	IOA11	A
A	IOA12	144	21	22	145	IOA13	A
A	IOA14	146	23	24	183	IOA15	A
	GND	GND	25	26	GND	GND	
A	IOA16	184	27	28	185	IOA17	A
A	IOA18	186	29	30	187	IOA19	A
A	IOA20	188	31	32	189	IOA21	A
A	IOA22	194	33	34	195	IOA23	A
	GND	GND	35	36	GND	GND	
A	IOA24	196	37	38	197	IOA25	A
A	IOA26	200	39	40	201	IOA27	A
A	IOA28	202	41	42	203	IOA29	A
A	IOA30	207	43	44	214	IOA31	A
	GND	GND	45	46	GND	GND	
A	IOA32	216	47	48	217	IOA33	A
A	IOA34	218	49	50	219	IOA35	A
A	IOA36	221	51	52	223	IOA37	A
A	IOA38	224	53	54	226	IOA39	A
	GND	GND	55	56	GND	GND	
A	IOA40	230	57	58	231	IOA41	A
A	IOA42	232	59	60	235	IOA43	A
A	IOA44	236	61	62	239	IOA45	A
A	IOA46	240	63	64	6	IOA47	A
A	IOA48	9	65	66	13	IOA49 *2	A

*1 抵抗(R2)を介して CLK-H (FPGA ピン#151,152) に接続

*2 抵抗(R4)を介して CLK-E (FPGA ピン#149,150) に接続

7.2. CNB

BANK	NET LABEL	FPGA pin #	CNB pin #		FPGA pin #	NET LABEL	BANK
		VIO(B) *5	1	2	VIO(B) *5		
		電源予約	3	4	電源予約		
	GND	GND	5	6	GND	GND	
B	IOB0 *3	118	7	8	117	IOB1	B
B	IOB2	114	9	10	113	IOB3	B
B	IOB4	112	11	12	111	IOB5	B
B	IOB6	110	13	14	107	IOB7	B
	GND	GND	15	16	GND	GND	
B	IOB8	106	17	18	103	IOB9	B
B	IOB10	100	19	20	99	IOB11	B
B	IOB12	98	21	22	95	IOB13	B
B	IOB14	94	23	24	93	IOB15	B
	GND	GND	25	26	GND	GND	
B	IOB16	88	27	28	87	IOB17	B
B	IOB18	84	29	30	83	IOB19	B
B	IOB20	82	31	32	81	IOB21	B
B	IOB22	80	33	34	78	IOB23	B
	GND	GND	35	36	GND	GND	
B	IOB24	76	37	38	73	IOB25	B
B	IOB26	70	39	40	69	IOB27	B
B	IOB28	68	41	42	63	IOB29	B
B	IOB30	57	43	44	56	IOB31	B
	GND	GND	45	46	GND	GND	
B	IOB32	55	47	48	52	IOB33	B
B	IOB34	51	49	50	50	IOB35	B
B	IOB36	49	51	52	46	IOB37	B
B	IOB38	45	53	54	44	IOB39	B
	GND	GND	55	56	GND	GND	
B	IOB40	43	57	58	41	IOB41	B
B	IOB42	39	59	60	38	IOB43	B
B	IOB44	37	61	62	22	IOB45	A
A	IOB46	21	63	64	169	IOB47	A
A	IOB48	171	65	66	173	IOB49*4	A

*3 抵抗(R1)を介して CLK-G (FPGA ピン#89,90) に接続

*4 抵抗(R3)を介して CLK-F (FPGA ピン#91,92) に接続

*5 VIO(B)は通常 3.3V。変更時は JP1 を取外す。

7.3. オンボード CLK

CLK	NET LABEL	FPGA ピン#
30MHz	CLK-A	209,210
30MHz	CLK-B	211,212
30MHz	CLK-C	31,32
30MHz	CLK-D	33,34

7.4. 外部入力 CLK

CLK	NET LABEL	FPGA ピン#
任意	CLK-E	149,150
任意	CLK-F	91,92
任意	CLK-G	89,90
任意	CLK-H	151,152

7.5. 汎用 LED

LED	NET LABEL	FPGA ピン#
LED3	U-LED3	18

7.6. 汎用スイッチ

SW	NET LABEL	FPGA ピン#
SW2	PSW2	162
SW1-1	PSW1	177

7.7. その他

NET LABEL	FPGA ピン#
D_RXD	166
D_TXD	161

8. 固定ピンについて **【重要】**

本ボードでは、下記のピンがGNDまたはVCCINT (1.2V)に固定されています。デバイスによっては、ダミー入力として他に使わないようにする必要があります。

EP2C40ではGNDやVCCINTになっているものの、より小さなデバイスではI/Oとして割り付けられています。

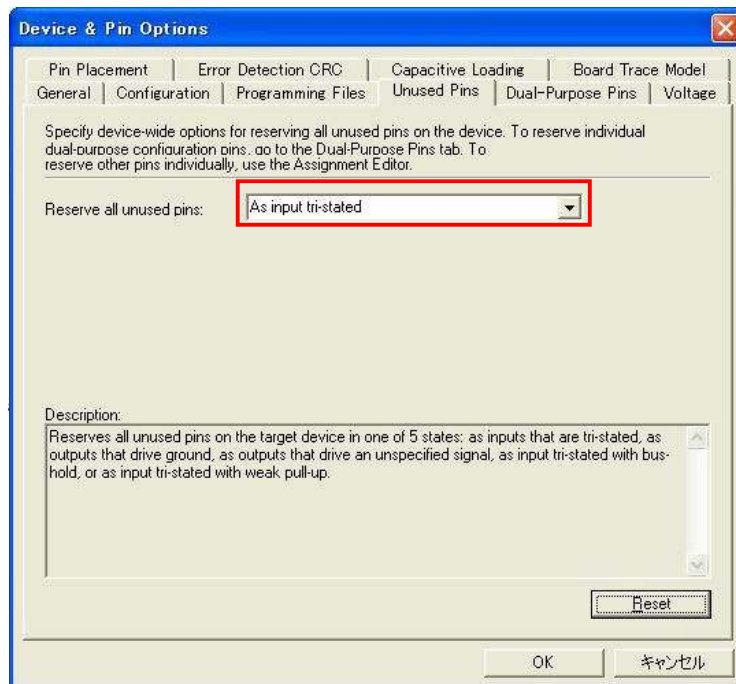
固定ピン一覧

NET LABEL	FPGA ピン#
GND	5
GND	20
GND	65
GND	72
GND	86
GND	102
GND	109
GND	148
GND	168
GND	182
GND	199
GND	222
GND	234
GND	238

NET LABEL	FPGA ピン#
V12	4
V12	19
V12	64
V12	71
V12	85
V12	101
V12	107
V12	108
V12	147
V12	181
V12	198
V12	220
V12	233
V12	237

ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

- ▼ Quartus II の【Assignments】のタブにある【Device...】を開きます。
 【Device & Pin Options...】をクリックし【Unused Pins】のタブを開きます。
 Reserve all unused pins の設定を【As inputs tri-stated】にします。



9. ACM-018 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は
 製品サポートページ
http://www.hdl.co.jp/support_c.html
 にデータをアップロードすることにいたします。
 ときどきチェックしていただき必要に応じてご利用くださいませ。

10. 付属資料

1. 回路図

CycloneⅢブレッドボード
ACM-018 シリーズ
ユーザーズマニュアル

2008/05/12 初版
2008/07/16 第2版(Rev2)
2009/09/08 第3版(Rev2)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
