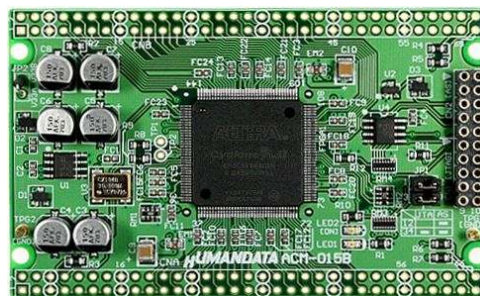


Cyclone II ブレッドボード
ACM-015 シリーズ
ユーザーズマニュアル
第 4 版



ヒューマンデータ

目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	2
2. 仕様.....	2
3. 製品説明.....	3
3.1. 各部の名称.....	3
3.2. ブロック図.....	4
3.3. 電源入力.....	4
3.4. JTAGコネクタ (CN1).....	5
3.5. ASコネクタ (CN2).....	6
4. FPGA のコンフィギュレーション.....	7
5. コンフィギュレーション ROM への書き込み.....	8
6. コンフィギュレーション用ジャンパ.....	9
7. ピン割付表.....	10
7.1. CNA.....	10
7.2. CNB.....	11
7.3. オンボードクロック.....	12
7.4. 外部入力クロック.....	12
8. Dual-Purpose Pins の設定.....	13
9. 固定ピンについて 【重要】	14
10. 参考資料について.....	15
11. 付属資料.....	15


● はじめに


この度は、Cyclone II ブレッドボード／ACM-015 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-015 シリーズは、アルテラ社の高性能 FPGA である Cyclone II を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。

どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れないでください。
	5 定格を越える電源を加えないでください。

 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。

● 改訂記録

版	日付	改訂内容
第 4 版	2009/10/08	ピン割付け表修正

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード	ACM-015 シリーズ	1
付属品		1
マニュアル (本書)		1 *
ユーザー登録はがき		1 *

* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます)

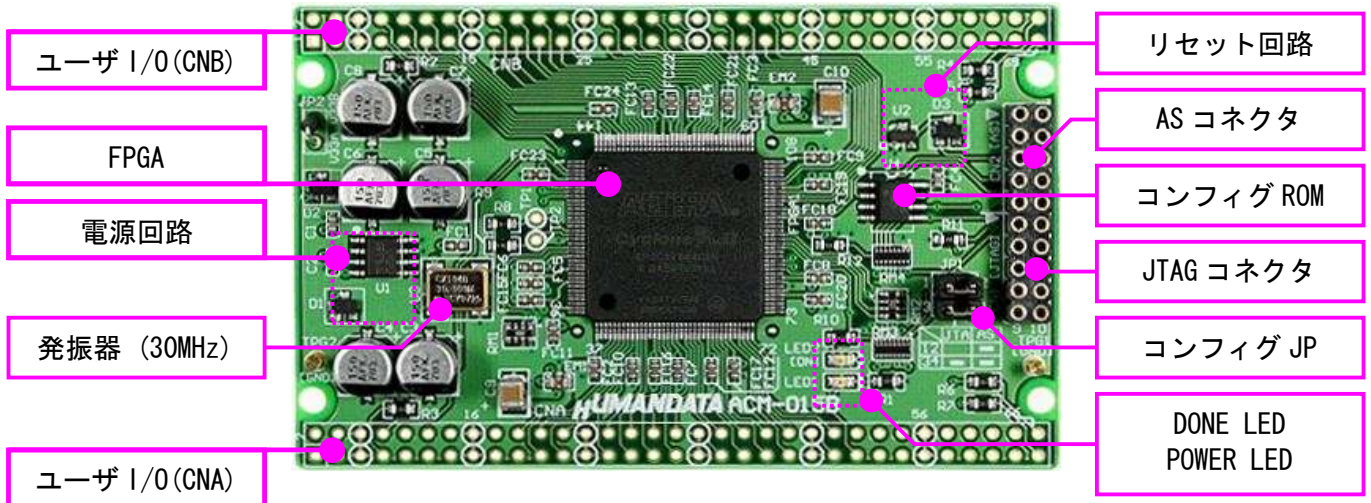
2. 仕様

製品型番	ACM-015-5	ACM-015-8
搭載 FPGA	EP2C5T144C8N	EP2C8T144C8N
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)	
消費電流	N/A (詳細は FPGA データシートご参照)	
外形寸法	86 x 54 [mm]	
質量	約 23 [g]	
ユーザ I/O	75 本	
I/O コネクタ	66 ピンスルーホール 0.9[mmΦ] × 2 組 2.54mm ピッチ	
プリント基板	ガラスエポキシ 4 層基板 1.6t	
コンフィグ ROM	EPCS4SI8N (ALTERA)	
クロック	オンボード 30MHz、外部供給可能	
リセット回路	内蔵 (240ms TYP)	
JTAG コネクタ	DIL10 ピン 丸ピンソケット 2.54mm ピッチ	
AS コネクタ	DIL10 ピン 丸ピンソケット 2.54mm ピッチ	
ステータス LED	2 個 (POWER, DONE)	
付属品	DIL 80 ピンヘッダ 2 個 (任意にカット可能)	
	ジャンパソケット 2 個 (本体に取り付け済み) + 2 個(予備)	
	DIL10 ピンヘッダ 1 個 (本体に取り付け済み)	

部品は互換品と変更となる場合がございます。

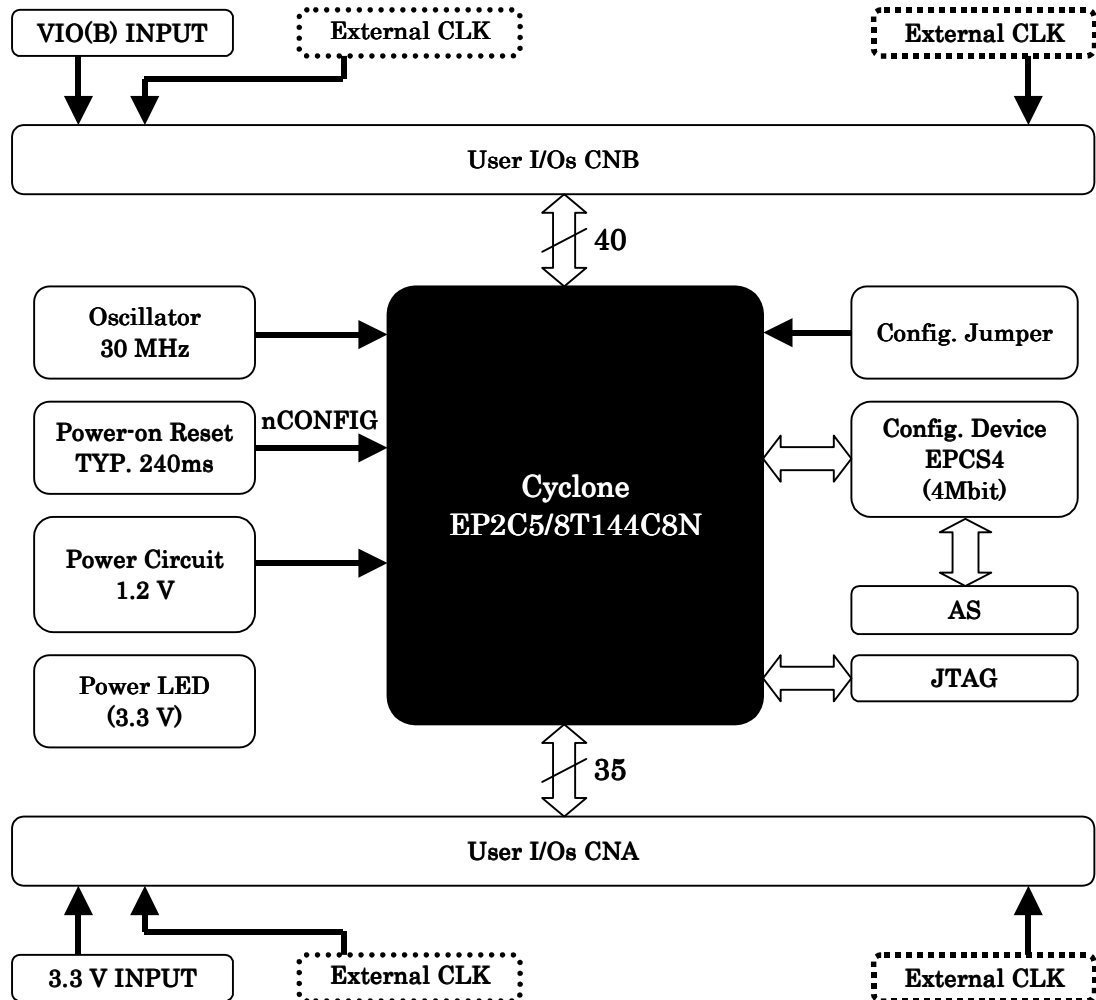
3. 製品説明

3.1. 各部の名称



部品面

3.2. ブロック図

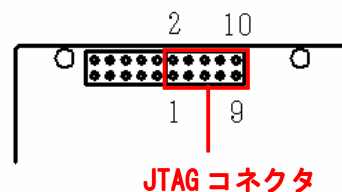


3.3. 電源入力

本ボードは、DC 3.3V 単一電源で動作します。外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

3.4. JTAG コネクタ (CN1)

FPGA へのコンフィギュレーション及びコンフィギュレーション ROM の ISP に使用します。ピン配置は次表のとおりです。

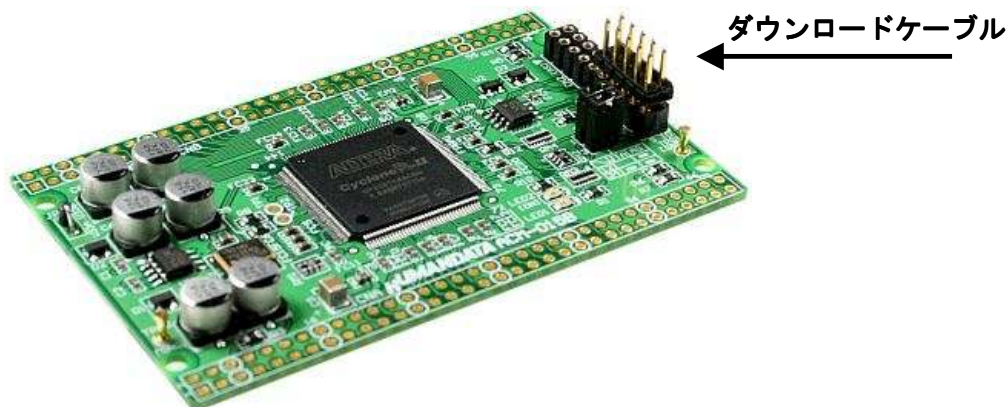


CN1

ネットラベル	ダウンロードケーブル信号名	ピン番号		ダウンロードケーブル信号名	ネットラベル
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブルBL3、BLKITの10ピンコネクタと1:1で対応しています。ALTERA社の純正ケーブルを用いることもできます。

また、ダウンロードケーブルと本品との接続には付属品DIL10ピンヘッダをご利用できます。

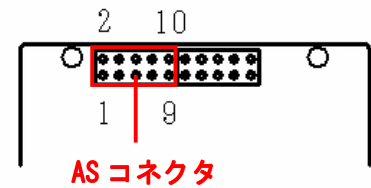


注意

ダウンロードケーブルを接続する場合、逆差しにご注意ください

3.5. AS コネクタ (CN2)

コンフィギュレーションROM (EPCS) への ISP への ISP (In System Programming) 時に使用します。ピン配置は次表のとおりです。

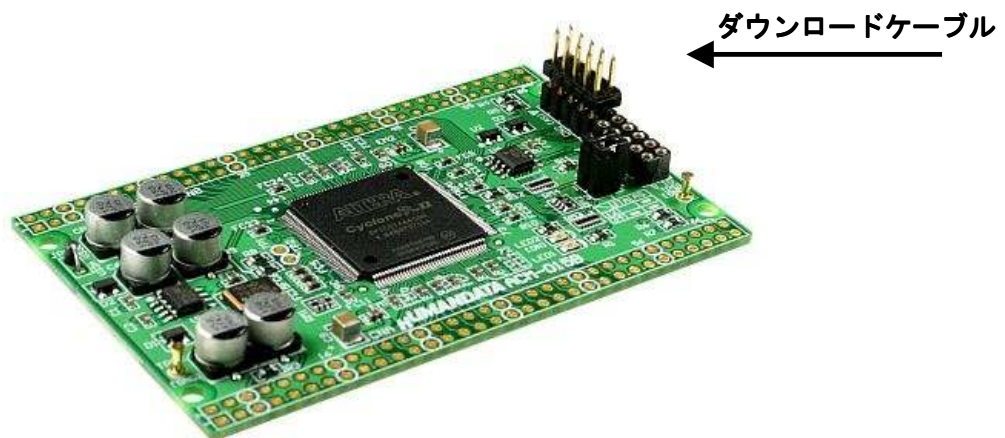


CN2

ネットラベル	ダウンロードケーブル信号名	ピン番号		ダウンロードケーブル信号名	ネットラベル
XDCLK	DCLK	1	2	GND	GND
XCONFDONE	CONF_DONE	3	4	VCC (3.3V)	VCC (3.3V)
XNCONFIG	nCONFIG	5	6	nCE	nCE
XDATA0	DATAOUT	7	8	nCS	nCS
X_ASDO	ASDI	9	10	GND	GND

弊社製ダウンロードケーブル BL3、BLKIT の 10 ピンコネクタと 1:1 で対応しています。ALTERA 社の純正ケーブルを用いることもできます。

また、ダウンロードケーブルと本品との接続には付属品 DIL10 ピンヘッダをご利用できます。

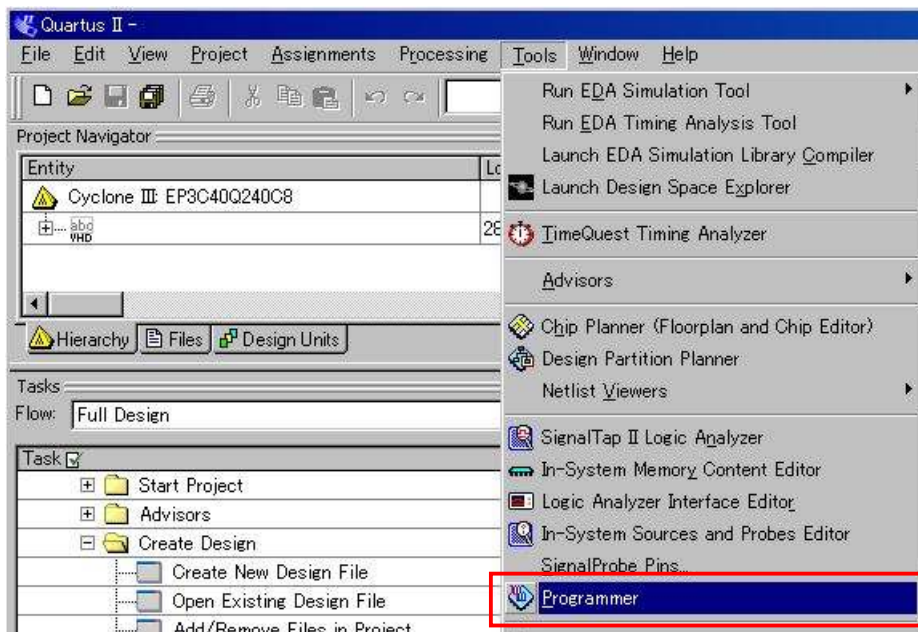


注意

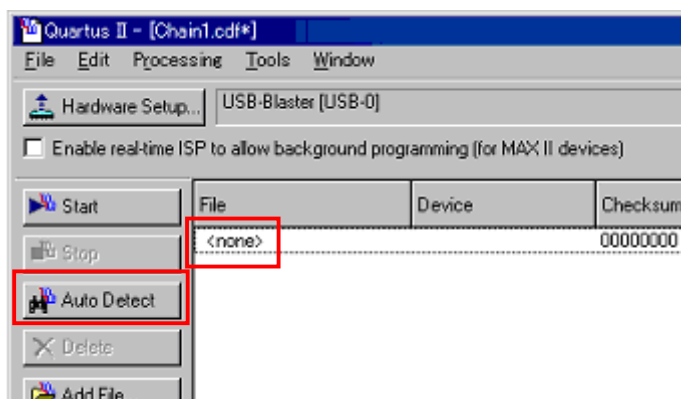
ダウンロードケーブルを接続する場合、逆差しにご注意ください

4. FPGA のコンフィギュレーション

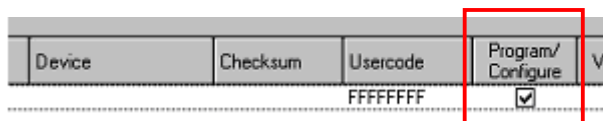
1. Quartus II を起動し【Programmer】をクリックします。



2. 【Auto Detect】をクリックしデバイスを認識させます。
【none】部分をダブルクリックし、sof ファイルを選択します。



3. 【Program/Configure】にチェックを入れ【Start】をクリックします。



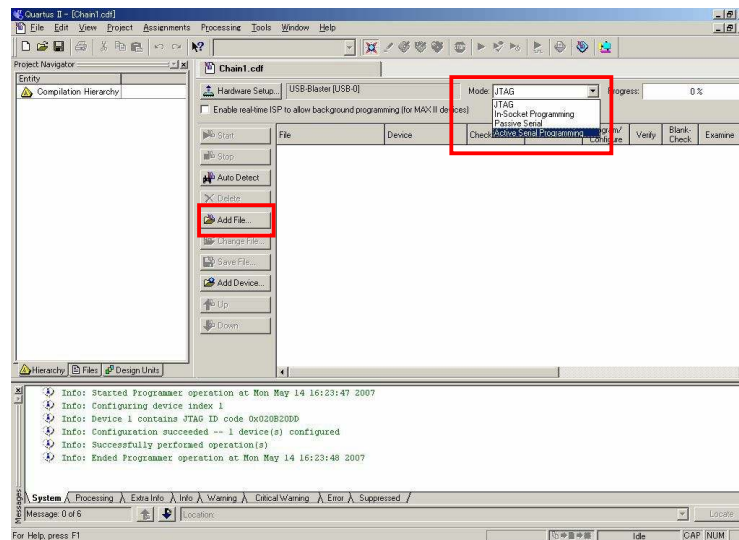
正常にコンフィギュレーションが完了すると DONE LED が点灯します。

5. コンフィギュレーション ROM への書き込み

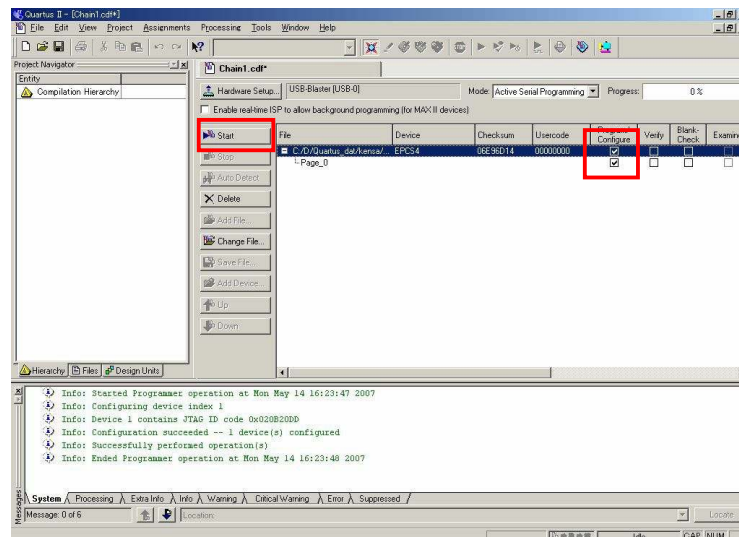
FPGAにコンフィギュレーションし動作の確認をしてからROMにISPしてください。

【Mode】から【Active Serial Programming】を選択します。

【Add File】をクリックし、ISPするファイルを指定します。(pofファイル)



【Program/Configure】にチェックをいれ【Start】をクリックしてください。



6. コンフィギュレーション用ジャンパ

JP1 は FPGA の MSEL0 と MSEL1 を設定します。

Configuration Scheme	MSEL1	MSEL0
AS (20 MHz)	0	0
PS	0	1
Fast AS (40 MHz)	1	0
JTAG-based Configuration (1)	(2)	(2)

Notes to Table 13-1:

(1) JTAG-based configuration takes precedence over other configuration schemes, which means MSEL pin settings are ignored.

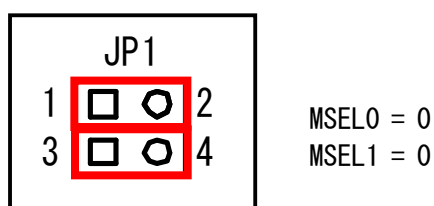
(2) Do not leave the MSEL pins floating; connect them to V_{CCIO} or ground. These pins support the non-JTAG configuration scheme used in production. If you are only using JTAG configuration, you should connect the MSEL pins to ground.

(ALTERA 社データシートより)

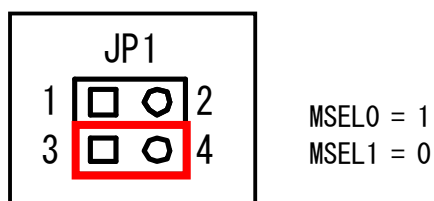
JP1 : MSEL0, MSEL1 信号設定用

JP1	MSEL
1-2	MSEL0
3-4	MSEL1

- コンフィグ ROM 使用時 (出荷時) : JP1 (1-2 間:ショート 3-4 間:ショート)



- JTAG 使用時 : JP1 (1-2 間:オープン 3-4 間:ショート)



7. ピン割付表

7.1. CNA

BANK	NET LABEL	FPGA pin	コネクタ pin		FPGA pin	NET LABEL	BANK
		3.3V	1	2	3.3V		
		電源予約	3	4	電源予約		
		GND	5	6	GND		
A/B	IOA0/CLK-H *1	3/88	7	8	4	IOA1	A
A	IOA2	7	9	10	8	IOA3	A
A	IOA4	9	11	12	24	IOA5	A
A	IOA6	25	13	14	28	IOA7	A
		GND	15	16	GND		
A	IOA8	30	17	18	31	IOA9	A
A	IOA10	32	19	20	40	IOA11	A
A	IOA12	41	21	22	42	IOA13	A
A	IOA14	43	23	24	44	IOA15	A
		GND	25	26	GND		
A	IOA16	45	27	28	47	IOA17	A
A	IOA18	48	29	30	51	IOA19	A
A	IOA20	52	31	32	53	IOA21	A
A	IOA22	55	33	34	57	IOA23	A
		GND	35	36	GND		
A	IOA24	58	37	38	59	IOA25	A
A	IOA26	60	39	40	63	IOA27	A
A	IOA28	64	41	42	65	IOA29	A
A	IOA30	67	43	44	69	IOA31	A
		GND	45	46	GND		
A	IOA32	70	47	48	71	IOA33	A
A	IOA34	72	49	50	N.C		
		N.C	51	52	N.C		
		N.C	53	54	N.C		
		GND	55	56	GND		
		N.C	57	58	N.C		
		N.C	59	60	N.C		
		N.C	61	62	N.C		
		N.C	63	64	N.C		
A	CLK-C *2	21	65	66	22	CLK-D *3	A

*1: CLK-H は抵抗(R3)を介して FPGA pin #88 に接続

*2:抵抗(R7)を介して FPGA pin #21 に接続

*3:抵抗(R6)を介して FPGA pin #22 に接続

7.2. CNB

BANK	NET LABEL	FPGA pin	コネクタ pin		FPGA pin	NET LABEL	BANK
		VIO(B) *4	1	2	VIO(B) *4		
		電源予約	3	4	電源予約		
		GND	5	6	GND		
B/B	IOB0/CLK-G *6	144/89	7	8	143	IOB1	B
B	IOB2	142	9	10	141	IOB3	B
B	IOB3	139	11	12	137	IOB5	B
B	IOB4	136	13	14	135	IOB7	B
		GND	15	16	GND		
B	IOB8	134	17	18	133	IOB9	B
B	IOB10	132	19	20	129	IOB11	B
B	IOB12	126	21	22	125	IOB13	B
B	IOB14	122	23	24	121	IOB15	B
		GND	25	26	GND		
B	IOB16	120	27	28	119	IOB17	B
B	IOB18	118	29	30	115	IOB19	B
B	IOB20	114	31	32	113	IOB21	B
B	IOB22	112	33	34	104	IOB23	B
		GND	35	36	GND		
B	IOB24	103	37	38	101	IOB25	B
B	IOB26	100	39	40	99	IOB27	B
B	IOB28	97	41	42	96	IOB29	B
B	IOB30	94	43	44	93	IOB31	B
		GND	45	46	GND		
B	IOB32	92	47	48	87	IOB33	B
B	IOB34	86	49	50	79	IOB35	B
B	IOB36	73	51	52	74	IOB37	B
B	IOB38	75	53	54	76	IOB39 *5	B
		GND	55	56	GND		
		N.C	57	58	N.C		
		N.C	59	60	N.C		
		N.C	61	62	N.C		
		N.C	63	64	N.C		
B	CLK-E *7	91	65	66	90	CLK-F *8	B

*4: VIO(B)は通常 3.3V。変更時は JP2 を取外す。

*5: IOB39 は nCEO に割り付けられています。「Dual-Purpose Pin の設定」が必要です。(P.13参照)

*6: CLK-G は抵抗(R2)を介して FPGA pin #89 に接続

*7: CLK-E は抵抗(R5)を介して FPGA pin #91 に接続

*8: CLK-F は抵抗(R4)を介して FPGA pin #90 に接続

7.3. オンボードクロック

周波数	NET LABEL	FPGA ピン
30MHz	CLK-A	17
30MHz	CLK-B	18

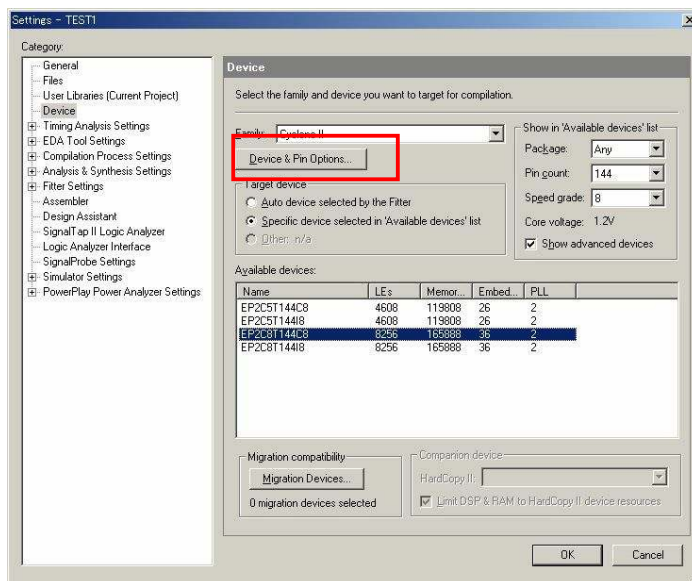
7.4. 外部入力クロック

周波数	NET LABEL	FPGA ピン
任意	CLK-C	21
	CLK-D	22
	CLK-E	91
	CLK-F	90
	CLK-G	89
	CLK-H	88

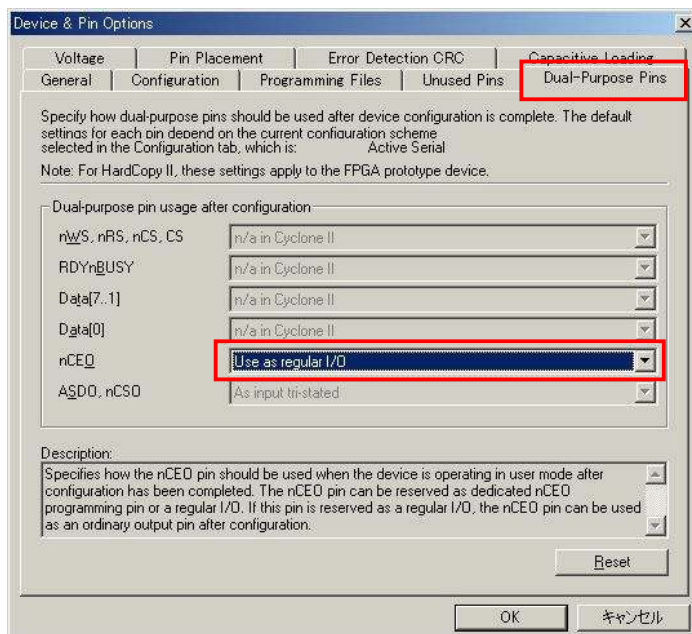
8. Dual-Purpose Pins の設定

10B39 は nCEO に割り付けられています。このピンを I/O に設定しないと使用することが出来ません。以下に I/O に設定する方法を示します。

- ▼ Quartus II の【Assignments】のタブにある【Device...】を開きます。Device & Pin Options...】をクリックしてください。



- ▼ 次に【Dual-Purpose Pins】のタブを開き nCEO の設定を【Use as regular I/O】に設定してください



9. 固定ピンについて **【重要】**

本ボードでは、一部の I/O ピンが GND または VCCINT (1.2V) に固定されています。デバイスによっては、ダミー入力として他に使わないようにする必要があります。

固定ピン一覧

GND : 27, 80

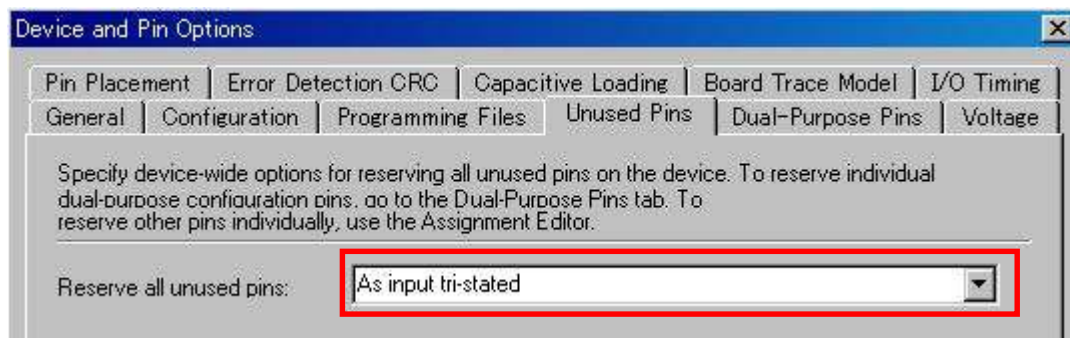
VCCINT : 26, 81

ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

1. **【Assignments -> Device】** をクリックします。



2. **【Device and Pin Options..】** をクリックします。
3. **【Reserve all unused pins】** を **【As input tri-stated】** に設定します。



10. 参考資料について

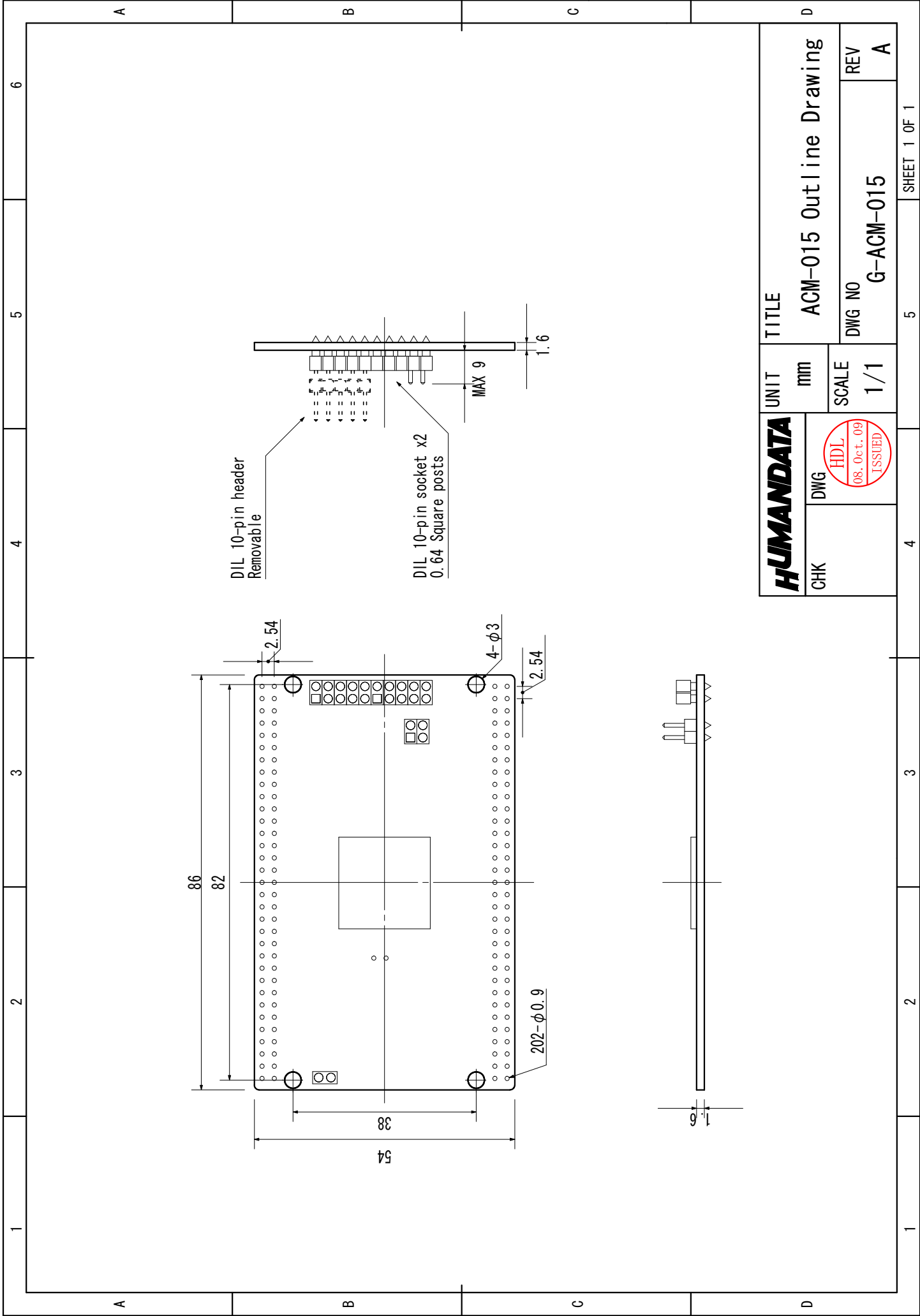
下記資料につきましては製品サポートページにて公開しております。
必要に応じてご利用くださいませ。



http://www.hdl.co.jp/support_c.html

- 回路図
- ピンリスト
- 外形図
- パターン図
- ネットリスト ... 等

11. 付属資料

1. 基板外形図
2. 基板回路図（別紙）



CHK	DWG		UNIT	TITLE
			mm	ACM-015 Outline Drawing
			SCALE	DWG NO
			1/1	G-ACM-015
				REV
				A

Cyclone II ブレッドボード
ACM-015 シリーズ
ユーザーズマニュアル

2007/05/21 (初版)
2007/11/19 (第2版)
2008/03/11 (第3版)
2009/10/08 (第4版)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
