

ADuM3440/ADuM3441/ADuM3442

特長

低消費電力動作

5 V 動作

0 Mbps~2 Mbps でチャンネルあたり最大 1.7 mA

150 Mbps でチャンネルあたり最大 68 mA

3.3 V 動作

0 Mbps~2 Mbps でチャンネルあたり最大 1.0 mA

150 Mbps でチャンネルあたり最大 33 mA

双方向通信

3.3 V/5 V のレベル変換

高温動作: 105°C

高いデータレート: DC~150 Mbps (NRZ)

高精度なタイミング特性

最大パルス幅歪み: 5 ns

最大チャンネル間マッチング: 5 ns

高い同相モード・トランジェント耐性: 25 kV/μs 以上

出カインーブル機能

16ピン SOIC ワイド・ボディ・パッケージ

安全性規制の認定

UL 認定: 2,500 V rms 1 分間の UL 1577 規格

「CSA Component Acceptance Notice #5A」に準拠

VDE 適合性認定済み

DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12

$V_{IORM} = 560$ V peak

アプリケーション

高速マルチチャンネル・アイソレーション

SPI インターフェース/データ・コンバータのアイソレーション

計装機器

概要

ADuM344x¹は、最大 150 Mbps のデータレートをサポートするアナログ・デバイセズの *iCoupler*® 技術を採用した 4 チャンネル・デジタル・アイソレータです。これらのアイソレーション・デバイスは、高速 CMOS 技術と中空コアを使ったモノリシック・トランス技術の組み合わせにより、フォトカプラ・デバイスなどの置換品より優れた性能特性を提供します。

iCoupler デバイスは LED とフォトダイオードを使用せずに、一般にフォトカプラに起因して生ずるデザイン上の難しさを解消します。一般的なフォトカプラは、不確かな電流変換比すなわち伝達関数が非線形である問題を持っており、温度と寿命の影響はシンプルな *iCoupler* デジタル・インターフェースと安定な性能特性により除去されます。これらの *iCoupler* 製品により、外付けのドライバとその他のディスクリット部品は不要になりま

¹ 米国特許 5,952,849、6,873,065、6,903,578、7,075,329 により保護されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2007–2009 Analog Devices, Inc. All rights reserved.

Rev. C

機能ブロック図

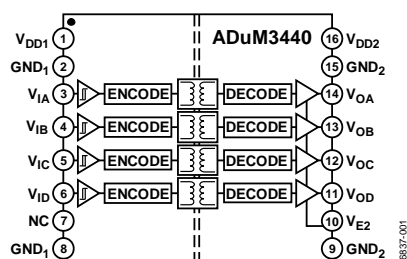


図 1. ADuM3440 の機能ブロック図

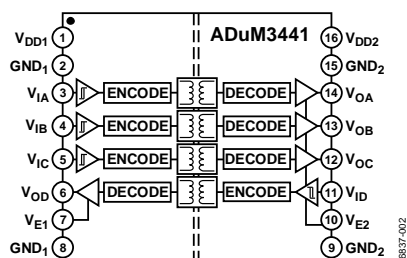


図 2. ADuM3441 機能ブロック図

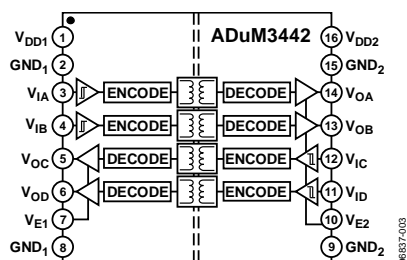


図 3. ADuM3442 の機能ブロック図

目次

特長.....	1	ESD の注意.....	12
アプリケーション.....	1	ピン配置およびピン機能説明.....	13
機能ブロック図.....	1	代表的な性能特性.....	16
概要.....	1	アプリケーション情報.....	18
改訂履歴.....	2	PC ボードのレイアウト.....	18
仕様.....	3	伝搬遅延に関するパラメータ.....	18
電気的特性—5 V 動作.....	3	システム・レベル ESD の考慮事項と強化.....	18
電気的特性—3.3 V 動作.....	5	DC 精度と磁界耐性.....	18
電気的仕様—5 V/3.3 V ミックスまたは 3.3 V/5 V 動作.....	7	消費電力.....	19
パッケージ特性.....	10	絶縁寿命.....	20
適用規格.....	10	外形寸法.....	21
絶縁および安全性関連の仕様.....	10	オーダー・ガイド.....	21
DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性.....	11		
推奨動作条件.....	11		
絶対最大定格.....	12		

改訂履歴

1/09—Rev. B to Rev. C

Change to Propagation Delay Parameter (Table 1).....	3
Change to Propagation Delay Parameter (Table 2).....	5
Change to Propagation Delay Parameter (Table 3).....	8

9/08—Rev. A to Rev. B

Changes to Pulse Width Distortion, $ t_{PLH} - t_{PHL} $ Parameter and Channel-to-Channel Matching, Codirectional Channels Parameter, Table 1.....	3
Changes to Pulse Width Distortion, $ t_{PLH} - t_{PHL} $ Parameter and Channel-to-Channel Matching, Codirectional Channels Parameter, Table 2.....	5
Changes to Pulse Width Distortion, $ t_{PLH} - t_{PHL} $ Parameter and Channel-to-Channel Matching, Codirectional Channels Parameter, Table 3.....	8

5/08—Rev. 0 to Rev. A

Changes to Ordering Guide.....	21
--------------------------------	----

11/07—Rev. 0: Initial Version

仕様

電気的特性—5 V動作

すべての電圧はそれぞれのグラウンドを基準とします。特に指定のない限り、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 。すべての最小/最大仕様は推奨動作範囲に適用。すべての typ 仕様は、 $T_A = 25\text{ }^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 5\text{ V}$ の値です。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Input Supply Current per Channel, Quiescent	$I_{DD1(Q)}$		0.75	1.3	mA	
Output Supply Current per Channel, Quiescent	$I_{DDO(Q)}$		0.5	1.2	mA	
ADuM3440, Total Supply Current, Four Channels ¹						
DC to 2 Mbps						
V_{DD1} Supply Current	$I_{DD1(Q)}$		3	3.9	mA	DC to 1 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(Q)}$		2	3	mA	DC to 1 MHz logic signal frequency
150 Mbps						
V_{DD1} Supply Current	$I_{DD1(150)}$		120	220	mA	75 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(150)}$		47	55	mA	75 MHz logic signal frequency
ADuM3441, Total Supply Current, Four Channels ¹						
DC to 2 Mbps						
V_{DD1} Supply Current	$I_{DD1(Q)}$		2.8	3.6	mA	DC to 1 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(Q)}$		2.3	2.9	mA	DC to 1 MHz logic signal frequency
150 Mbps						
V_{DD1} Supply Current	$I_{DD1(150)}$		101	165	mA	75 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(150)}$		65	80	mA	75 MHz logic signal frequency
ADuM3442, Total Supply Current, Four Channels ¹						
DC to 2 Mbps						
V_{DD1} or V_{DD2} Supply Current	$I_{DD1(Q)}, I_{DD2(Q)}$		2.5	3.5	mA	DC to 1 MHz logic signal frequency
150 Mbps						
V_{DD1} or V_{DD2} Supply Current	$I_{DD1(150)}, I_{DD2(150)}$		83	130	mA	75 MHz logic signal frequency
For All Models						
Input Currents	$I_{IA}, I_{IB}, I_{IC}, I_{ID}, I_{E1}, I_{E2}$	-10	+0.01	+10	μA	$0 \leq V_{IA}, V_{IB}, V_{IC}, V_{ID} \leq V_{DD1}$ or V_{DD2} , $0 \leq V_{E1}, V_{E2} \leq V_{DD1}$ or V_{DD2}
Logic High Input Threshold	V_{IH}, V_{EH}	2.0			V	
Logic Low Input Threshold	V_{IL}, V_{EL}			0.8	V	
Logic High Output Voltages	$V_{OAH}, V_{OBH}, V_{OCH}, V_{ODH}$		$(V_{DD1}$ or $V_{DD2}) - 0.1$	5.0	V	$I_{Ox} = -20\text{ }\mu\text{A}, V_{Ix} = V_{IxH}$
			$(V_{DD1}$ or $V_{DD2}) - 0.4$	4.8	V	$I_{Ox} = -4\text{ mA}, V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OAL}, V_{OBL}, V_{OCL}, V_{ODL}$		0.0	0.1	V	$I_{Ox} = 20\text{ }\mu\text{A}, V_{Ix} = V_{IxL}$
			0.04	0.1	V	$I_{Ox} = 400\text{ }\mu\text{A}, V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4\text{ mA}, V_{Ix} = V_{IxL}$
SWITCHING SPECIFICATIONS						
Minimum Pulse Width ²	PW			6.67	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Maximum Data Rate ³		150			Mbps	$C_L = 15\text{ pF}$, CMOS signal levels
Propagation Delay ⁴	t_{PHL}, t_{PLH}	20		32	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $ ⁵	PWD		0.5	2	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Change vs. Temperature			3		ps/ $^\circ\text{C}$	$C_L = 15\text{ pF}$, CMOS signal levels
Propagation Delay Skew ⁶	t_{PSK}			12	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels ⁵	t_{PSKCD}			2	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels ⁵	t_{PSKOD}			5	ns	$C_L = 15\text{ pF}$, CMOS signal levels

ADuM3440/ADuM3441/ADuM3442

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
For All Models						
Output Disable Propagation Delay (High/Low to High Impedance)	t_{PHZ}, t_{PLH}		6	8	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Output Enable Propagation Delay (High Impedance to High/Low)	t_{PZH}, t_{PZL}		6	8	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t_R/t_F		2.5		ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output ⁷	$ CM_H $	25	35		kV/ μs	$V_{IX} = V_{DD1}$ or V_{DD2} , $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output ⁷	$ CM_L $	25	35		kV/ μs	$V_{IX} = 0 \text{ V}$, $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V
Refresh Rate	f_r		1.2		Mbps	
Input Dynamic Supply Current per Channel ⁸	$I_{DDI(D)}$		0.196		mA/Mbps	
Output Dynamic Supply Current per Channel ⁸	$I_{DDO(D)}$		0.1		mA/Mbps	

¹ 電源電流値は、同一データレートで動作する4チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合。与えられたデータレートで動作する個々のチャンネル動作に対応する電源電流は、消費電力のセクションの説明に従って計算することができます。無負荷状態または有負荷状態に対するデータレートの関数としてのチャンネル当たりの電源電流については、図8～図10を参照してください。ADuM3440/ADuM3441/ADuM3442のチャンネル構成に対するデータレートの関数としての V_{DD1} と V_{DD2} の合計電源電流については、図11～図15を参照してください。

² 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

³ 最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。

⁴ 伝搬遅延 t_{PHL} は、 V_{IX} 信号の立下がりエッジの50%レベルから V_{OX} 信号の立下がりエッジの50%レベルまでを測定した値です。伝搬遅延 t_{PLH} は、 V_{IX} 信号の立上がりエッジの50%レベルから V_{OX} 信号の立上がりエッジの50%レベルまでを測定した値です。

⁵ 同方向チャンネル間マッチングは、アイソレーション障壁の同じ側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。反対方向チャンネル間マッチングは、アイソレーション障壁の反対側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。

⁶ t_{PSK} は、 t_{PHL} または t_{PLH} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

⁷ CM_H は、 $V_O > 0.8 V_{DDO}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。 CM_L は $V_O < 0.8 \text{ V}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、同相モード電圧の立上がりと立下がりの両エッジに適用されます。過渡電圧振幅は、同相モードの平衡が失われる範囲を表します。

⁸ ダイナミック電源電流は、信号データレートを1 Mbps増やすのに必要な電源電流の増分を表します。無負荷状態または有負荷状態に対するチャンネル当たりの電源電流については、図8～図10を参照してください。与えられたデータレートに対するチャンネル当たりの電源電流の計算については、消費電力のセクションを参照してください。

電气的特性—3.3 V動作

すべての電圧はそれぞれのグラウンドを基準とします。特に指定のない限り、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 。すべての最小/最大仕様は推奨動作範囲に適用。すべての typ 仕様は、 $T_A = 25\text{ }^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 3.3\text{ V}$ での値です。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Input Supply Current per Channel, Quiescent	$I_{DD1(Q)}$		0.43	0.90	mA	
Output Supply Current per Channel, Quiescent	$I_{DDO(Q)}$		0.3	0.60	mA	
ADuM3440, Total Supply Current, Four Channels ¹						
DC to 2 Mbps						
V_{DD1} Supply Current	$I_{DD1(Q)}$		1.7	2.4	mA	DC to 1 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(Q)}$		1.2	1.7	mA	DC to 1 MHz logic signal frequency
150 Mbps						
V_{DD1} Supply Current	$I_{DD1(150)}$		63	110	mA	75 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(150)}$		17	25	mA	75 MHz logic signal frequency
ADuM3441, Total Supply Current, Four Channels ¹						
DC to 2 Mbps						
V_{DD1} Supply Current	$I_{DD1(Q)}$		1.6	2.2	mA	DC to 1 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(Q)}$		1.3	1.9	mA	DC to 1 MHz logic signal frequency
150 Mbps						
V_{DD1} Supply Current	$I_{DD1(150)}$		52	80	mA	75 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(150)}$		29	40	mA	75 MHz logic signal frequency
ADuM3442, Total Supply Current, Four Channels ¹						
DC to 2 Mbps						
V_{DD1} or V_{DD2} Supply Current	$I_{DD1(Q)}, I_{DD2(Q)}$		1.5	2.0	mA	DC to 1 MHz logic signal frequency
150 Mbps						
V_{DD1} or V_{DD2} Supply Current	$I_{DD1(150)}, I_{DD2(150)}$		40	66	mA	75 MHz logic signal frequency
For All Models						
Input Currents	$I_{IA}, I_{IB}, I_{IC}, I_{ID}, I_{E1}, I_{E2}$	-10	+0.01	+10	μA	$0 \leq V_{IA}, V_{IB}, V_{IC}, V_{ID} \leq V_{DD1}$ or V_{DD2} , $0 \leq V_{E1}, V_{E2} \leq V_{DD1}$ or V_{DD2}
Logic High Input Threshold	V_{IH}, V_{EH}	1.6			V	
Logic Low Input Threshold	V_{IL}, V_{EL}			0.4	V	
Logic High Output Voltages	$V_{OAH}, V_{OBH}, V_{OCH}, V_{ODH}$	$(V_{DD1}$ or $V_{DD2}) - 0.1$	3.0		V	$I_{Ox} = -20\text{ }\mu\text{A}, V_{Ix} = V_{IxH}$
		$(V_{DD1}$ or $V_{DD2}) - 0.4$	2.8		V	$I_{Ox} = -4\text{ mA}, V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OAL}, V_{OBL}, V_{OCL}, V_{ODL}$		0.0	0.1	V	$I_{Ox} = 20\text{ }\mu\text{A}, V_{Ix} = V_{IxL}$
			0.04	0.1	V	$I_{Ox} = 400\text{ }\mu\text{A}, V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4\text{ mA}, V_{Ix} = V_{IxL}$
SWITCHING SPECIFICATIONS						
Minimum Pulse Width ²	PW			6.67	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Maximum Data Rate ³		150			Mbps	$C_L = 15\text{ pF}$, CMOS signal levels
Propagation Delay ⁴	t_{PHL}, t_{PLH}	20		36	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $ ⁴	PWD		0.5	2	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Change vs. Temperature			3		ps/ $^\circ\text{C}$	$C_L = 15\text{ pF}$, CMOS signal levels
Propagation Delay Skew ⁵	t_{PSK}			16	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels ⁶	t_{PSKCD}			2	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels ⁵	t_{PSKOD}			5	ns	$C_L = 15\text{ pF}$, CMOS signal levels

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
For All Models						
Output Disable Propagation Delay (High/Low to High Impedance)	t_{PHZ}, t_{PLH}		6	8	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Output Enable Propagation Delay (High Impedance to High/Low)	t_{PZH}, t_{PZL}		6	8	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t_r/t_f		3		ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output ⁷	$ CM_H $	25	35		kV/ μ s	$V_{IX} = V_{DD1}$ or V_{DD2} , $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output ⁷	$ CM_L $	25	35		kV/ μ s	$V_{IX} = 0 \text{ V}$, $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V
Refresh Rate	f_r		1.1		Mbps	
Input Dynamic Supply Current per Channel ⁸	$I_{DD1(D)}$		0.076		mA/Mbps	
Output Dynamic Supply Current per Channel ⁸	$I_{DDO(D)}$		0.028		mA/Mbps	

¹ 電源電流値は、同一データレートで動作する4チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合。与えられたデータレートで動作する個々のチャンネル動作に対応する電源電流は、消費電力のセクションの説明に従って計算することができます。無負荷状態または有負荷状態に対するデータレートの関数としてのチャンネル当たりの電源電流については、図8～図10を参照してください。ADuM3440/ADuM3441/ADuM3442のチャンネル構成に対するデータレートの関数としての V_{DD1} と V_{DD2} の合計電源電流については、図11～図15を参照してください。

² 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

³ 最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。

⁴ 伝搬遅延 t_{PHL} は、 V_{IX} 信号の立下がりエッジの50%レベルから V_{OX} 信号の立下がりエッジの50%レベルまでを測定した値です。伝搬遅延 t_{PLH} は、 V_{IX} 信号の立上がりエッジの50%レベルから V_{OX} 信号の立上がりエッジの50%レベルまでを測定した値です。

⁵ t_{PSK} は、 t_{PHL} または t_{PLH} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

⁶ 同方向チャンネル間マッチングは、アイソレーション障壁の同じ側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。反対方向チャンネル間マッチングは、アイソレーション障壁の反対側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。

⁷ CM_H は、 $V_O > 0.8 V_{DDO}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。 CM_L は $V_O < 0.8 \text{ V}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、同相モード電圧の立上がりとし立下がりの両エッジに適用されます。過渡電圧振幅は、同相モードの平衡が失われる範囲を表します。

⁸ ダイナミック電源電流は、信号データレートを1 Mbps増やすのに必要な電源電流の増分を表します。無負荷状態または有負荷状態に対するチャンネル当たりの電源電流については、図8～図10を参照してください。与えられたデータレートに対するチャンネル当たりの電源電流の計算については、消費電力のセクションを参照してください。

電氣的仕様—5 V/3.3 V ミックスまたは 3.3 V/5 V 動作

すべての電圧はそれぞれのグラウンドを基準とします。5 V/3.3 V 動作: $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 。3 V/5 V 動作: $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 。特に指定のない限り、すべての最小/最大仕様は推奨動作範囲に適用。すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 3.3\text{ V}$ 、 $V_{DD2} = 5\text{ V}$ または $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 3.3\text{ V}$ における値です。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Input Supply Current per Channel, Quiescent	$I_{DD1(Q)}$					
5 V/3.3 V Operation			0.75	1.3	mA	
3.3 V/5 V Operation			0.43	0.9	mA	
Output Supply Current per Channel, Quiescent	$I_{DDO(Q)}$					
5 V/3.3 V Operation			0.3	0.7	mA	
3.3 V/5 V Operation			0.5	1.2	mA	
ADuM3440, Total Supply Current, Four Channels ¹						
DC to 2 Mbps						
V_{DD1} Supply Current	$I_{DD1(Q)}$					
5 V/3.3 V Operation			3	3.9	mA	DC to 1 MHz logic signal frequency
3.3 V/5 V Operation			1.7	2.4	mA	DC to 1 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(Q)}$					
5 V/3.3 V Operation			1.2	1.7	mA	DC to 1 MHz logic signal frequency
3.3 V/5 V Operation			2	3	mA	DC to 1 MHz logic signal frequency
150 Mbps						
V_{DD1} Supply Current	$I_{DD1(150)}$					
5 V/3.3 V Operation			120	220	mA	75 MHz logic signal frequency
3.3 V/5 V Operation			63	110	mA	75 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(150)}$					
5 V/3.3 V Operation			17	25	mA	75 MHz logic signal frequency
3.3 V/5 V Operation			47	55	mA	75 MHz logic signal frequency
ADuM3441, Total Supply Current, Four Channels ¹						
DC to 2 Mbps						
V_{DD1} Supply Current	$I_{DD1(Q)}$					
5 V/3.3 V Operation			2.8	3.6	mA	DC to 1 MHz logic signal frequency
3.3 V/5 V Operation			1.6	2.2	mA	DC to 1 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(Q)}$					
5 V/3.3 V Operation			1.3	1.9	mA	DC to 1 MHz logic signal frequency
3.3 V/5 V Operation			2.3	2.9	mA	DC to 1 MHz logic signal frequency
150 Mbps						
V_{DD1} Supply Current	$I_{DD1(150)}$					
5 V/3.3 V Operation			101	165	mA	75 MHz logic signal frequency
3.3 V/5 V Operation			52	80	mA	75 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(150)}$					
5 V/3.3 V Operation			29	40	mA	75 MHz logic signal frequency
3.3 V/5 V Operation			65	80	mA	75 MHz logic signal frequency
ADuM3442, Total Supply Current, Four Channels ¹						
DC to 2 Mbps						
V_{DD1} Supply Current	$I_{DD1(Q)}$					
5 V/3.3 V Operation			2.5	3.5	mA	DC to 1 MHz logic signal frequency
3.3 V/5 V Operation			1.5	2.0	mA	DC to 1 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(Q)}$					
5 V/3.3 V Operation			1.5	2.0	mA	DC to 1 MHz logic signal frequency
3.3 V/5 V Operation			2.5	3.5	mA	DC to 1 MHz logic signal frequency
150 Mbps						
V_{DD1} Supply Current	$I_{DD1(150)}$					
5 V/3.3 V Operation			83	130	mA	75 MHz logic signal frequency
3.3 V/5 V Operation			40	66	mA	75 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(150)}$					
5 V/3.3 V Operation			40	66	mA	75 MHz logic signal frequency
3.3 V/5 V Operation			83	130	mA	75 MHz logic signal frequency

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
For All Models						
Input Currents	$I_{IA}, I_{IB}, I_{IC}, I_{ID}, I_{E1}, I_{E2}$	-10	+0.01	+10	μA	$0 \leq V_{IA}, V_{IB}, V_{IC}, V_{ID} \leq V_{DD1}$ or V_{DD2} , $0 \leq V_{E1}, V_{E2} \leq V_{DD1}$ or V_{DD2}
Logic High Input Threshold	V_{IH}, V_{EH}	2.0			V	
5 V/3.3 V Operation					V	
3.3 V/5 V Operation		1.6			V	
Logic Low Input Threshold	V_{IL}, V_{EL}				V	
5 V/3.3 V Operation				0.8	V	
3.3 V/5 V Operation				0.4	V	
Logic High Output Voltages	$V_{OAH}, V_{OBH}, V_{OCH}, V_{ODH}$	$(V_{DD1}$ or $V_{DD2}) - 0.1$	$(V_{DD1}$ or $V_{DD2})$		V	$I_{Ox} = -20 \mu\text{A}, V_{Ix} = V_{IxH}$
		$(V_{DD1}$ or $V_{DD2}) - 0.4$	$(V_{DD1}$ or $V_{DD2}) - 0.2$		V	$I_{Ox} = -4 \text{ mA}, V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OAL}, V_{OBL}, V_{OCL}, V_{ODL}$		0.0	0.1	V	$I_{Ox} = 20 \mu\text{A}, V_{Ix} = V_{IxL}$
			0.04	0.1	V	$I_{Ox} = 400 \mu\text{A}, V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4 \text{ mA}, V_{Ix} = V_{IxL}$
SWITCHING SPECIFICATIONS						
Minimum Pulse Width ²	PW			6.67	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Maximum Data Rate ³		150			Mbps	$C_L = 15 \text{ pF}$, CMOS signal levels
Propagation Delay ⁴	t_{PHL}, t_{PLH}	20		35	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $ ⁴	PWD		0.5	2	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Change vs. Temperature			3		ps/ $^{\circ}\text{C}$	$C_L = 15 \text{ pF}$, CMOS signal levels
Propagation Delay Skew ⁵	t_{PSK}			15	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels ⁶	t_{PSKCD}			2	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels ⁵	t_{PSKOD}			5	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
For All Models						
Output Disable Propagation Delay (High/Low to High Impedance)	t_{PHZ}, t_{PLH}		6	8	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Output Enable Propagation Delay (High Impedance to High/Low)	t_{PZH}, t_{PZL}		6	8	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t_R/t_F					$C_L = 15 \text{ pF}$, CMOS signal levels
5 V/3 V Operation			3.0		ns	
3 V/5 V Operation			2.5		ns	
Common-Mode Transient Immunity at Logic High Output ⁷	$ CM_H $	25	35		kV/ μs	$V_{Ix} = V_{DD1}$ or $V_{DD2}, V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output ⁷	$ CM_L $	25	35		kV/ μs	$V_{Ix} = 0 \text{ V}, V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V
Refresh Rate	f_r					
5 V/3.3 V Operation			1.2		Mbps	
3.3 V/5 V Operation			1.1		Mbps	
Input Dynamic Supply Current per Channel ⁸	$I_{DDI(D)}$					
5 V/3.3 V Operation			0.196		mA/Mbps	
3.3 V/5 V Operation			0.076		mA/Mbps	
Output Dynamic Supply Current per Channel ⁸	$I_{DDO(D)}$					
5 V/3.3 V Operation			0.028		mA/Mbps	
3.3 V/5 V Operation			0.01		mA/Mbps	

¹ 電源電流値は、同一データレートで動作する 4 チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合。与えられたデータレートで動作する個々のチャンネル動作に対応する電源電流は、消費電力のセクションの説明に従って計算することができます。無負荷状態または有負荷状態に対するデータレートの関数としてのチャンネル当たりの電源電流については、図 8~図 10 を参照してください。ADuM3440/ADuM3441/ADuM3442 のチャンネル構成に対するデータレートの関数としての V_{DD1} と V_{DD2} の合計電源電流については、図 11~図 15 を参照してください。

² 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

³最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。

⁴伝搬遅延 t_{PHL} は、 V_{IK} 信号の立下がりエッジの 50% レベルから V_{OK} 信号の立下がりエッジの 50% レベルまでを測定した値です。伝搬遅延 t_{PLH} は、 V_{IK} 信号の立下がりエッジの 50% レベルから V_{OK} 信号の立下がりエッジの 50% レベルまでを測定した値です。

⁵ t_{PSK} は、 t_{PHL} または t_{PLH} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

⁶同方向チャンネル間マッチングは、アイソレーション障壁の同じ側に入力を持つ 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。反対方向チャンネル間マッチングは、アイソレーション障壁の反対側に入力を持つ 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。

⁷ CM_H は、 $V_O > 0.8 V_{DDO}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。 CM_L は $V_O < 0.8 V$ を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、同相モード電圧の立下がりおよび立下がりの両エッジに適用されます。過渡電圧振幅は、同相モードの平衡が失われる範囲を表します。

⁸ダイナミック電源電流は、信号データレートを 1 Mbps 増やすのに必要な電源電流の増分を表します。無負荷状態または有負荷状態に対するチャンネル当たりの電源電流については、図 8～図 10 を参照してください。与えられたデータレートに対するチャンネル当たりの電源電流の計算については、消費電力のセクションを参照してください。

パッケージ特性

表 4.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Resistance (Input to Output) ¹	R _{I-O}		10 ¹²		Ω	
Capacitance (Input to Output) ¹	C _{I-O}		2.2		pF	f = 1 MHz
Input Capacitance ²	C _I		4.0		pF	
IC Junction-to-Case Thermal Resistance, Side 1	θ _{JCI}		33		°C/W	Thermocouple located at center of package underside
IC Junction-to-Case Thermal Resistance, Side 2	θ _{JCO}		28		°C/W	

¹ デバイスは2端子デバイスと見なします。すなわち、ピン1～ピン8を相互に接続し、ピン9～ピン16を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンド間。

適用規格

ADuM344xは、表 5に記載する組織の認定を取得しています。特定のクロスアイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 10と絶縁寿命のセクションを参照してください。

表 5.

UL	CSA	VDE
Recognized under 1577 component recognition program ¹ Single protection, 2500 V rms isolation voltage File E214100	Approved under CSA Component Acceptance Notice #5A Basic insulation per CSA 60950-1-03 and IEC 60950-1, 800 V rms (1131 V peak) maximum working voltage Reinforced insulation per CSA 60950-1-03 and IEC 60950-1, 400 V rms (566 V peak) maximum working voltage File 205078	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ² Reinforced insulation, 560 V peak File 2471900-4880-0001

¹ UL1577に従い、絶縁テスト電圧 3,000 V rms 以上を 1 秒間加えて各 ADuM344x を確認テストします(リーク電流検出規定値 = 5μA)。

² DIN V VDE V 0884-10 に従い、各 ADuM344x に 1,050 V_{peak} 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。(*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

絶縁および安全性関連の仕様

表 6.

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		2500	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	7.7 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	8.1 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性

これらのアイソレータは、安全性制限値データ以内でのみ強化された電氣的アイソレーションを満たします。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージに(*)マークが付いたブランドは、DIN V VDE V 0884-10 認定製品を表します。

表 7.

Description	Conditions	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to IV I to III I to II	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V_{IORM}	560	V peak
Input-to-Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{PR}$, 100% production test, $t_m = 1$ sec, partial discharge < 5 pC	V_{PR}	1050	V peak
Input-to-Output Test Voltage, Method A	$V_{IORM} \times 1.6 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC	V_{PR}		
After Environmental Tests Subgroup 1			896	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC		672	V peak
Highest Allowable Overvoltage	Transient overvoltage, $t_{TR} = 10$ seconds	V_{TR}	4000	V peak
Safety-Limiting Values	Maximum value allowed in the event of a failure (see Figure 4)			
Case Temperature		T_S	150	$^{\circ}\text{C}$
Side 1 Current		I_{S1}	265	mA
Side 2 Current		I_{S2}	335	mA
Insulation Resistance at T_S	$V_{IO} = 500$ V	R_S	$>10^9$	Ω

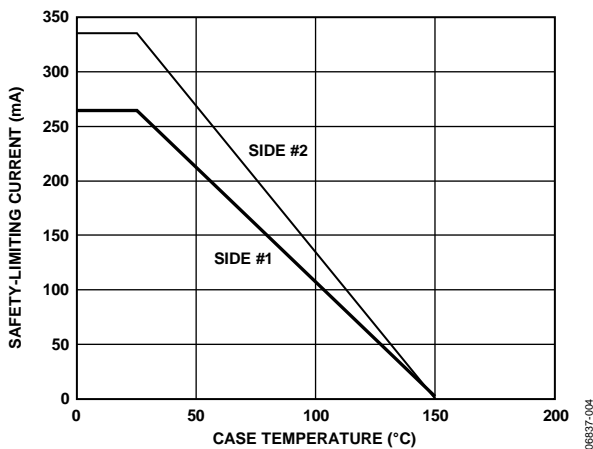


図 4. 温度ディレーティング・カーブ、DIN V VDE V 0884-10 による安全な規定値のケース温度に対する依存性

推奨動作条件

表 8.

Parameter	Rating
Operating Temperature Range, T_A	-40°C to $+105^{\circ}\text{C}$
Supply Voltage Range, V_{DD1} , V_{DD2} ¹	3.0 V to 5.5 V
Input Signal Rise and Fall Time	1.0 ms

¹ すべての電圧はそれぞれのグラウンドを基準とします。外部磁界耐性については、DC 精度と磁界耐性のセクションを参照してください。

絶対最大定格

特に指定のない限り、周囲温度は 25°C です。

表 9.

Parameter	Rating
Storage Temperature Range (T_{ST})	-65°C to +150°C
Ambient Operating Temperature Range (T_A)	-40°C to +105°C
Supply Voltages (V_{DD1} , V_{DD2}) ¹	-0.5 V to +7.0 V
Input Voltage (V_{IA} , V_{IB} , V_{IC} , V_{ID} , V_{EI} , V_{E2}) ^{1,2}	-0.5 V to $V_{DD1} + 0.5$ V
Output Voltage (V_{OA} , V_{OB} , V_{OC} , V_{OD}) ^{1,2}	-0.5 V to $V_{DD0} + 0.5$ V
Average Output Current per Pin ³	
Side 1 (I_{O1})	-18 mA to +18 mA
Side 2 (I_{O2})	-22 mA to +22 mA
Common-Mode Transients (CM_H , CM_L) ⁴	-100 kV/μs to +100 kV/μs

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² V_{DD1} と V_{DD0} は、それぞれチャンネルの入力側と出力側の電源電圧を表します。PC ボードのレイアウトのセクションを参照してください。

³ 種々の温度に対する最大定格電流値については図 4 を参照してください。

⁴ 絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生ずることがあります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 10.最大連続動作電圧¹

Parameter	Max	Unit	Constraint
AC Voltage, Bipolar Waveform	565	V peak	50-year minimum lifetime
AC Voltage, Unipolar Waveform			
Basic Insulation	1131	V peak	Maximum approved working voltage per IEC 60950-1
Reinforced Insulation	560	V peak	Maximum approved working voltage per IEC 60950-1 and VDE V 0884-10
DC Voltage			
Basic Insulation	1131	V peak	Maximum approved working voltage per IEC 60950-1
Reinforced Insulation	560	V peak	Maximum approved working voltage per IEC 60950-1 and VDE V 0884-10

¹ アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

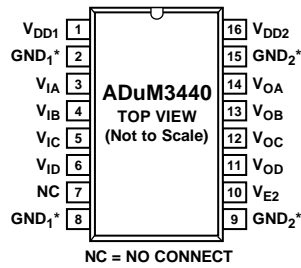
表 11.真理値表(正論理)

V_{IX} Input ¹	V_{EX} Input ²	V_{DD1} State ¹	V_{DD0} State ¹	V_{OX} Output ¹	Notes
H	H or NC	Powered	Powered	H	
L	H or NC	Powered	Powered	L	
X	L	Powered	Powered	Z	
X	H or NC	Unpowered	Powered	H	Outputs return to the input state within 1 μs of V_{DD1} power restoration.
X	L	Unpowered	Powered	Z	
X	X	Powered	Unpowered	Indeterminate	Outputs return to the input state within 1 μs of V_{DD0} power restoration if V_{EX} state is H or NC. Outputs return to high impedance state within 8 ns of V_{DD0} power restoration if V_{EX} state is L.

¹ V_{IX} と V_{OX} は、それぞれチャンネル(A、B、C、D)の入力信号と出力信号を表します。 V_{EX} は、 V_{OX} 出力と同じ側の出力イネーブル信号を表します。 V_{DD1} と V_{DD0} は、それぞれチャンネルの入力側と出力側の電源電圧を表します。

² ノイズの多い環境では、 V_{EX} を外部のロジック・ハイ・レベルまたはロー・レベルに接続することをお勧めします。

ピン配置およびピン機能説明



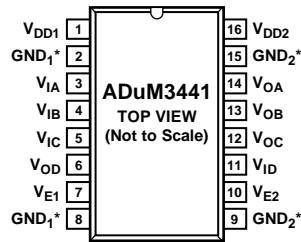
*PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED AND CONNECTING BOTH TO GND₁ IS RECOMMENDED. PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED AND CONNECTING BOTH TO GND₂ IS RECOMMENDED.

06837-005

図 5.ADuM3440 のピン配置

表 12.ADuM3440 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	アイソレータ・サイド1の電源電圧、3.0 V～5.5 V。
2、8	GND ₁	グラウンド1。アイソレータ・サイド1のグラウンド基準。
3	V _{IA}	ロジック入力 A。
4	V _{IB}	ロジック入力 B。
5	V _{IC}	ロジック入力 C。
6	V _{ID}	ロジック入力 D。
7	NC	未接続。
9、15	GND ₂	グラウンド2。アイソレータ・サイド2のグラウンド基準。
10	V _{E2}	出力イネーブル2。アクティブ・ハイ・レベルのロジック入力。V _{E2} がハイ・レベルまたは解放のとき、V _{OA} 、V _{OB} 、V _{OC} 、V _{OD} の各出力がイネーブルされます。V _{E2} がロー・レベルのとき、V _{OA} 、V _{OB} 、V _{OC} 、V _{OD} の各出力がディスエーブルされます。ノイズの多い環境では、V _{E2} を外部のロジック・ハイ・レベルまたはロー・レベルに接続することをお勧めします。
11	V _{OD}	ロジック出力 D。
12	V _{OC}	ロジック出力 C。
13	V _{OB}	ロジック出力 B。
14	V _{OA}	ロジック出力 A。
16	V _{DD2}	アイソレータ・サイド2の電源電圧、3.0 V～5.5 V。



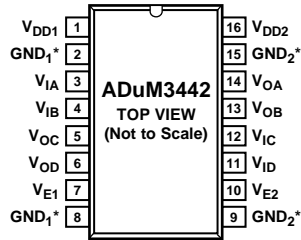
*PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED AND CONNECTING BOTH TO GND₁ IS RECOMMENDED. PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED AND CONNECTING BOTH TO GND₂ IS RECOMMENDED.

06E37-006

図 6.ADuM3441 のピン配置

表 13.ADuM3441 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	アイソレータ・サイド1の電源電圧、3.0 V～5.5 V。
2、8	GND ₁ *	グラウンド1。アイソレータ・サイド1のグラウンド基準。
3	V _{IA}	ロジック入力 A。
4	V _{IB}	ロジック入力 B。
5	V _{IC}	ロジック入力 C。
6	V _{OD}	ロジック出力 D。
7	V _{E1}	出力イネーブル1。アクティブ・ハイ・レベルのロジック入力。V _{E1} がハイ・レベルまたは解放のとき、V _{OD} 出力がイネーブルされます。V _{E1} がロー・レベルのとき、V _{OD} がディスエーブルされます。ノイズの多い環境では、V _{E1} を外部のロジック・ハイ・レベルまたはロー・レベルに接続することをお勧めします。
9、15	GND ₂ *	グラウンド2。アイソレータ・サイド2のグラウンド基準。
10	V _{E2}	出力イネーブル2。アクティブ・ハイ・レベルのロジック入力。V _{E2} がハイ・レベルまたは解放のとき、V _{OA} 、V _{OB} 、V _{OC} の各出力がイネーブルされます。V _{E2} がロー・レベルのとき、V _{OA} 、V _{OB} 、V _{OC} の各出力がディスエーブルされます。ノイズの多い環境では、V _{E2} を外部のロジック・ハイ・レベルまたはロー・レベルに接続することをお勧めします。
11	V _{ID}	ロジック入力 D。
12	V _{OC}	ロジック出力 C。
13	V _{OB}	ロジック出力 B。
14	V _{OA}	ロジック出力 A。
16	V _{DD2}	アイソレータ・サイド1の電源電圧、3.0 V～5.5 V。



*PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED AND CONNECTING BOTH TO GND₁ IS RECOMMENDED. PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED AND CONNECTING BOTH TO GND₂ IS RECOMMENDED.

08837-507

図 7.ADuM3442 のピン配置

表 14.ADuM3442 のピン機能説明

ピン番号	記号	機能
1	V _{DD1}	アイソレータ・サイド1の電源電圧、3.0 V～5.5 V。
2、8	GND ₁	グラウンド1。アイソレータ・サイド1のグラウンド基準。
3	V _{IA}	ロジック入力 A。
4	V _{IB}	ロジック入力 B。
5	V _{OC}	ロジック出力 C。
6	V _{OD}	ロジック出力 D。
7	V _{E1}	出力イネーブル1。アクティブ・ハイ・レベルのロジック入力。V _{E1} がハイ・レベルまたは解放のとき、V _{OC} とV _{OD} の各出力がイネーブルされます。V _{E1} がロー・レベルのとき、V _{OC} とV _{OD} の各出力がディスエーブルされます。ノイズの多い環境では、V _{E1} を外部のロジック・ハイ・レベルまたはロー・レベルに接続することをお勧めします。
9、15	GND ₂	グラウンド2。アイソレータ・サイド2のグラウンド基準。
10	V _{E2}	出力イネーブル2。アクティブ・ハイ・レベルのロジック入力。V _{E2} がハイ・レベルまたは解放のとき、V _{OA} とV _{OB} の各出力がイネーブルされます。V _{E2} がロー・レベルのとき、V _{OA} とV _{OB} の各出力がディスエーブルされます。ノイズの多い環境では、V _{E2} を外部のロジック・ハイ・レベルまたはロー・レベルに接続することをお勧めします。
11	V _{ID}	ロジック入力 D。
12	V _{IC}	ロジック入力 C。
13	V _{OB}	ロジック出力 B。
14	V _{OA}	ロジック出力 A。
16	V _{DD2}	アイソレータ・サイド2の電源電圧、3.0 V～5.5 V。

代表的な性能特性

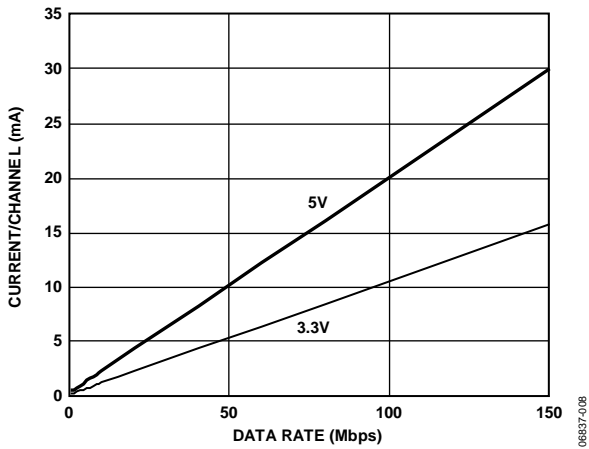


図 8.5 V および 3.3 V 動作でのデータレート対チャンネル当たりの入力電源電流

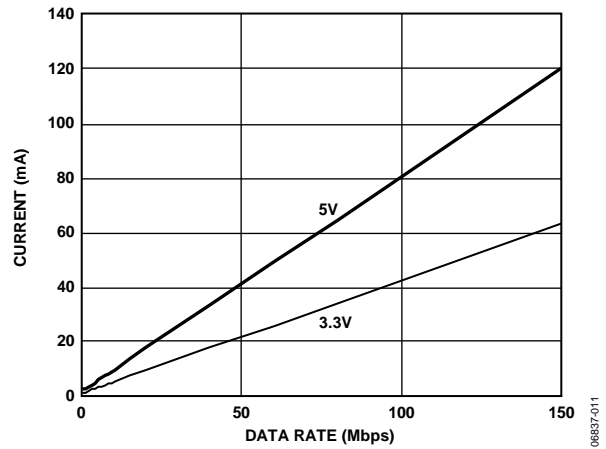


図 11.5 V および 3.3 V 動作でのデータレート対 ADuM3440 V_{DD1} 電源電流(Typ)

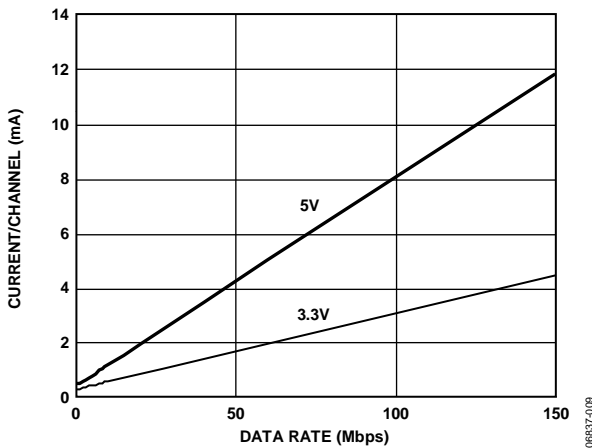


図 9.5 V および 3.3 V 動作でのデータレート(出力無負荷)対チャンネルあたりの出力電源電流

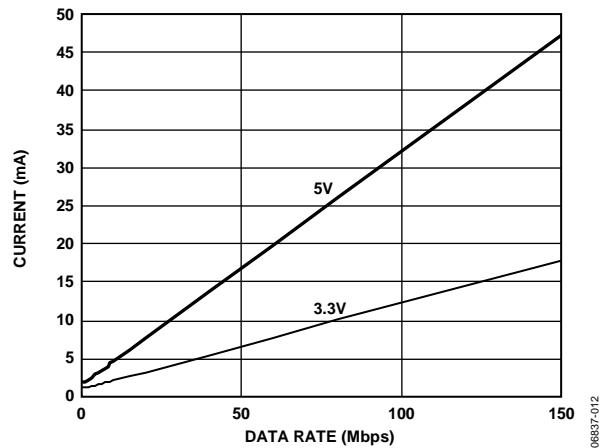


図 12.5 V および 3.3 V 動作でのデータレート対 ADuM3440 V_{DD2} 電源電流(Typ)

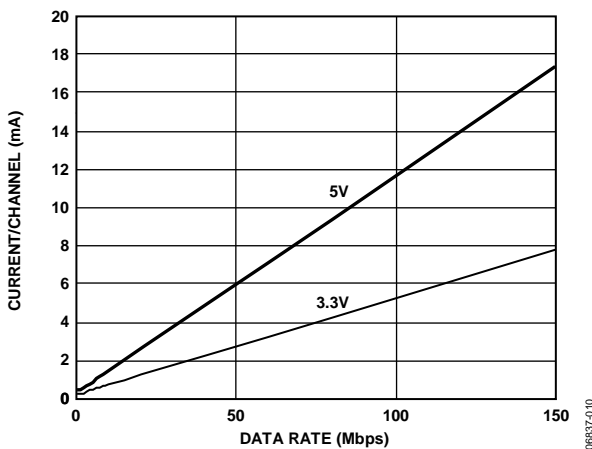


図 10.5 V および 3.3 V 動作でのデータレート(15 pF 出力負荷)対チャンネルあたりの出力電源電流

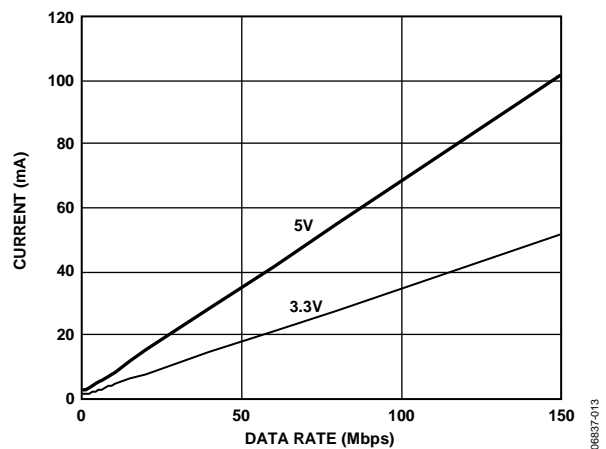


図 13.5 V および 3.3 V 動作でのデータレート対 ADuM3441 V_{DD1} 電源電流(Typ)

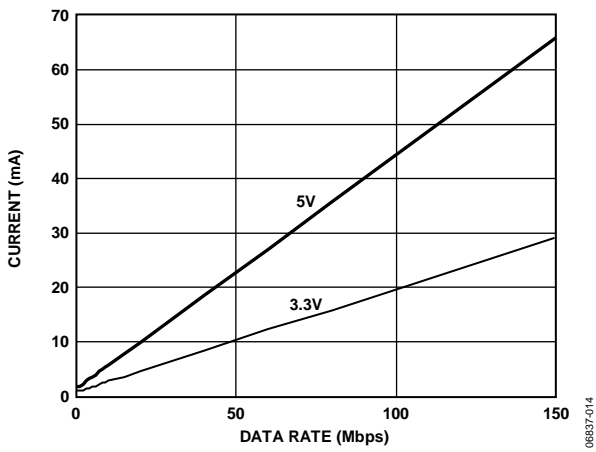


図 14. 5 V および 3.3 V 動作でのデータレート対 ADuM3441 V_{DD2} 電源電流(Typ)

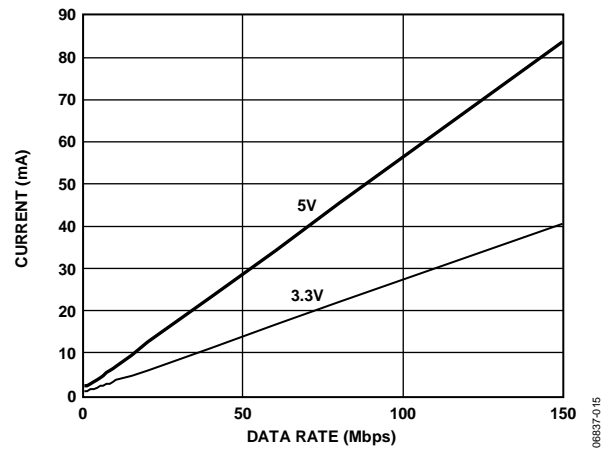


図 15. 5 V および 3.3 V 動作でのデータレート対 ADuM3442 の V_{DD1} または V_{DD2} 電源電流(Typ)

アプリケーション情報

PCボードのレイアウト

ADuM344x デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンにはバイパス・コンデンサを接続することが推奨されます(図 16 参照)。バイパス・コンデンサは V_{DD1} についてはピン 1 とピン 2 の間に、 V_{DD2} についてはピン 15 とピン 16 の間に、それぞれ接続するのが便利です。コンデンサの値は、 $0.01\mu\text{F}\sim 0.1\mu\text{F}$ とする必要があります。コンデンサピンと入力電源ピンとの間の合計リード長は 20 mm を超えないようにします。各パッケージ側のグラウンド対がパッケージのすぐ近くで接続されていない限り、ピン 1 とピン 8 の間およびピン 9 とピン 16 の間でバイパスしてください。

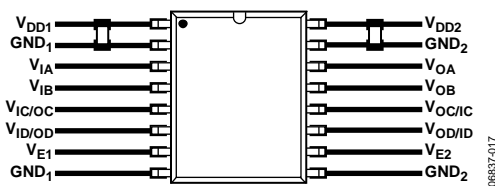


図 16. プリント回路ボードの推奨レイアウト

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を通過するボード結合が最小になるように注意する必要があります。さらに、如何なる結合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインする必要があります。この注意を怠ると、ピン間で発生する電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通過するのに要する時間を表すパラメータです。ロジック・ロー・レベル出力への伝搬遅延は、ロジック・ハイ・レベルへの伝搬遅延と異なることがあります。

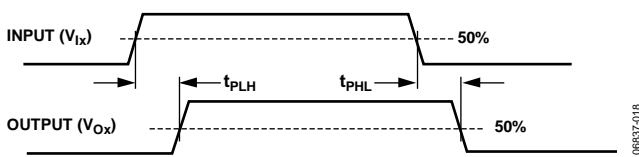


図 17. 伝搬遅延パラメータ

パルス幅歪みとはこれら 2 つの遅延時間間の最大の差を意味し、入力信号のタイミングが保存される精度を表します。

チャンネル間マッチングとは、1 つの ADuM344x デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

伝搬遅延スキューは、同じ条件で動作する複数の ADuM344x デバイス間での伝搬遅延差の最大値を表します。

システム・レベル ESD の考慮事項と強化

システム・レベル ESD の信頼性 (たとえば IEC 61000-4-x) は、アプリケーションごとに大幅に変わるシステム・デザインに大きく依存します。ADuM344x では、ESD 信頼性のシステム・デザインへの依存性を小さくするために多くの機能強化を行っています。この機能強化には次が含まれます。

- すべての入力/出力インターフェースへ ESD 保護セルを追加。
- ビア付きの太い並行ラインの使用による主要なメタル・パターン抵抗を削減。
- PMOS デバイスと NMOS デバイスとの間にガードおよびアイソレーション技術を採用することにより、CMOS デバイスに固有な SCR 効果を削減。
- メタル・パターンに 45° コーナーを採用することにより電界集中領域を削減。
- 各電源ピンとそれぞれのグラウンドとの間の ESD クランプを大きくして、電源ピンの過電圧保護機能を強化。

ADuM344x ではシステム・レベルの ESD 信頼性を強化していますが、強固なシステム・レベル・デザインの代わりになるものではありません。ボード・レイアウトとシステム・レベル・デザインの推奨事項については、アプリケーション・ノート AN-793 「ESD/Latch-Up Considerations with iCoupler Isolation Products」を参照してください。

DC 精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス (1 ns) がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が表わされます。約 $1\mu\text{s}$ 以上入力にロジック変化がない場合、正常な入力状態を表す周期的なリフレッシュ・パルスのセットを送信して、出力での DC を正常に維持します。デコーダが約 $5\mu\text{s}$ 間以上この内部パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルト状態 (絶対最大定格のセクション参照) にされます。

ADuM344x の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなり、デコーダをセットまたはリセットさせる誤動作が発生することで決まります。この状態が発生する条件を以下の解析により求めます。ADuM344x の 3 V 動作は最も敏感な動作モードであるため、この条件について調べます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッシュホールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。

受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

ここで、

β は磁束密度 (gauss)。

N = 受信側コイルの巻数

r_n = 受信側コイルの n 回目の半径 (cm)

ADuM344x 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50% であるという条件が与えられると、最大許容磁界は図 18 のように計算されます。

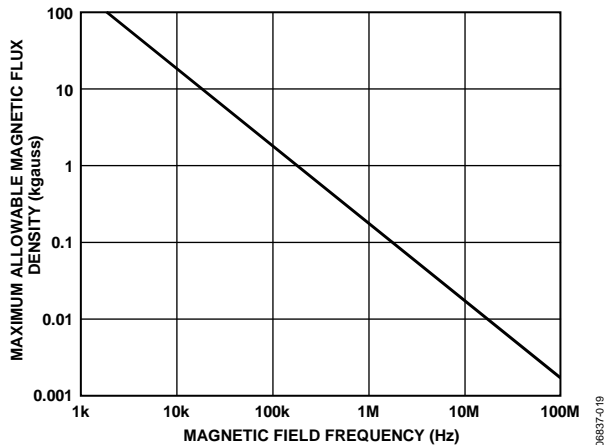


図 18. 最大許容外部磁束密度

例えば、磁界周波数 = 1 MHz で、最大許容磁界 = 0.2 Kgauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。これは検出スレッショルドの約 50% であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても (さらに最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ小さくなるため、デコーダの検出スレッショルド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM344x トランスから与えられた距離だけ離れた特定の電流値に対応します。図 19 に、周波数の関数としての許容電流値を与えられた距離に対して示します。図から読み取れるように、ADuM344x の耐性は極めて高く、影響を受けるのは、高周波でかつデバイスに非常に近い極めて大きな電流の場合に限られます。前述の 1 MHz の例では、部品動作に影響を与えるためには、0.5 kA の電流を ADuM344x から 5 mm の距離まで近づける必要があります。

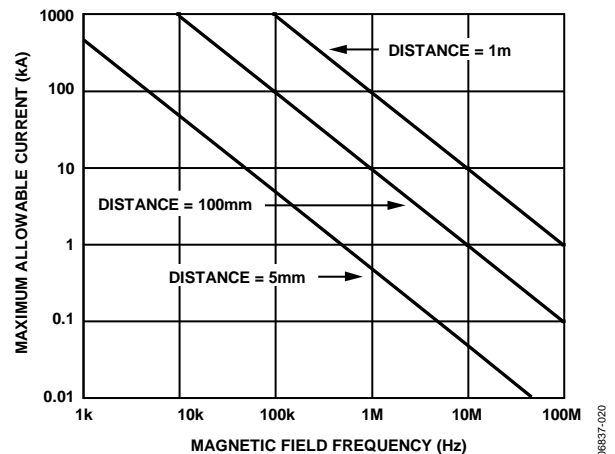


図 19. 様々な電流値と ADuM344x までの距離に対する最大許容電流

強い磁界と高周波が組合わさると、プリント回路ボードのパターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッショルドがトリガされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

消費電力

ADuM344x アイソレータ内にあるチャンネルの電源電流は、電源電圧、チャンネルのデータレート、チャンネルの出力負荷の関数になっています。

各入力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDI} = I_{DDI(Q)} \quad f \leq 0.5 f_r$$

$$I_{DDI} = I_{DDI(D)} \times (2f - f_r) + I_{DDI(Q)} \quad f > 0.5 f_r$$

各出力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5 f_r$$

$$I_{DDO} = (I_{DDO(D)} + (0.5 \times 10^{-3}) \times C_L \times V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5 f_r$$

ここで、

$I_{DDI(D)}$ と $I_{DDO(D)}$ は、それぞれチャンネル当たりの入力ダイナミック電源電流と出力ダイナミック電源電流です (mA/Mbps)。

C_L は出力負荷容量 (pF)。

V_{DDO} は出力電源電圧 (V)。

f は入力ロジック信号周波数 (MHz)、これは入力データレート (Mbps) の 1/2 に一致します。

f_r は入力ステージのリフレッシュ・レート (Mbps)。

$I_{DDI(Q)}$ と $I_{DDO(Q)}$ は、それぞれ指定された入力静止電源電流と出力静止電源電流です (mA)。

V_{DD1} と V_{DD2} の電源電流を計算するために、 V_{DD1} と V_{DD2} に対応するチャンネルの各入力と各出力の電源電流を計算して合計します。図 8 と図 9 に、無負荷状態の出力に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図 10 に、15 pF 負荷の出力に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図 11 ~ 図 15 に、ADuM3440/ADuM3441/ADuM3442 のチャンネル構成に対するデータレートの関数としての V_{DD1} と V_{DD2} の合計電源電流を示します。

絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えらる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲なセットの評価を実施してADuM344xの絶縁構造の寿命を測定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。図 20に、バイポーラAC動作条件での 50 年のサービス寿命に対するピーク電圧と最大CSA/VDE認定動作電圧を示します。多くのケースで、実証された動作電圧は 50 年サービス寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

ADuM344xの絶縁寿命は、アイソレーション障壁に加えらる電圧波形のタイプに依存します。iCoupler絶縁構造の性能は、波形がバイポーラAC、ユニポーラAC、DCのいずれであるかに応じて、異なるレートで低下します。図 20、図 21、図 22に、これらのアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。AC バイポーラ条件での 50 年動作寿命の目標により、アナログ・デバイセズが推奨する最大動作電圧が決定されています。

ユニポーラACまたはDC電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために、高い動作電圧での動作でも 50 年の寿命を維持することができます。表 10に示す動作電圧は、ユニポーラAC電圧またはユニポーラDC電圧のケースに適合する場合、50 年最小寿命に適用することができます。図 21または図 22に適合しない絶縁電圧波形は、バイポーラAC波形として扱う必要があります、ピーク電圧は表 10に示す 50 年寿命電圧値に制限する必要があります。

図 21に示す電圧は、説明目的のためにのみ正弦波としています。すなわち、0 Vとある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることができませんが、電圧は 0 Vを通過することはできません。

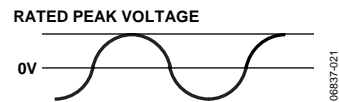


図 20.バイポーラ AC 波形

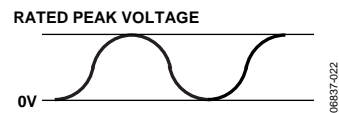


図 21.ユニポーラ AC 波形

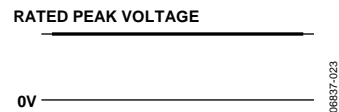
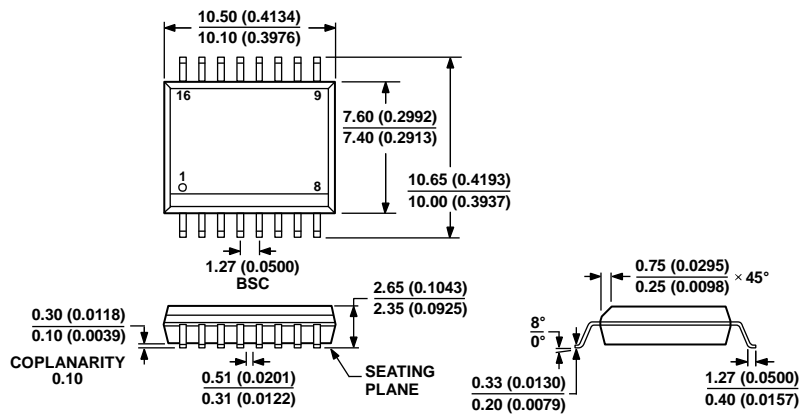


図 22.DC 波形

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

032707-B

図 23.16 ピン標準スモール・アウトライン・パッケージ[SOIC_W]
ワイドボディ(RW-16)
寸法: mm (インチ)

オーダー・ガイド

Model	Number of Inputs, V _{DD1} Side	Number of Inputs, V _{DD2} Side	Maximum Data Rate (Mbps)	Maximum Propagation Delay, 5 V (ns)	Maximum Pulse Width Distortion (ns)	Temperature Range	Package Description	Package Option
ADuM3440CRWZ ^{1,2}	4	0	150	32	2	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM3441CRWZ ^{1,2}	3	1	150	32	2	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM3442CRWZ ^{1,2}	2	2	150	32	2	-40°C to +105°C	16-Lead SOIC_W	RW-16

¹ テープとリールを提供しています。"-RL"サフィックスを追加すると、13インチ(1,000個)のテープおよびリール・オプションが指定されます。

² Z = RoHS 準拠製品。